

VHDL Editor

Application pour le développement de systèmes numériques

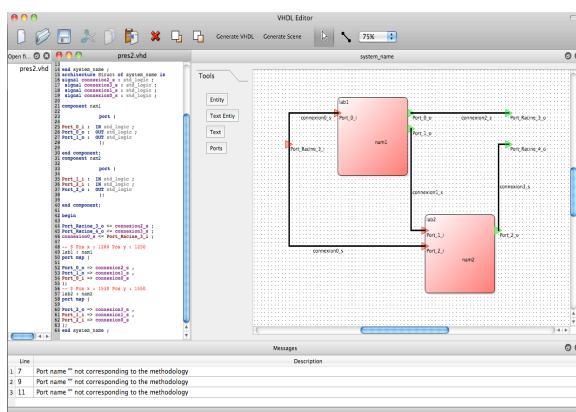
Introduction

De nos jours, il existe de multiples outils de saisie de systèmes numériques. C'est le cas, par exemple, de HDL Designer utilisé par l'institut REDS. Ces outils intègrent de nombreuses possibilités, cependant ils contiennent aussi des fichiers sources propriétaires, il est donc difficile de transférer un projet vers un outil uniquement basé sur le langage VHDL.

Le projet

L'objectif du projet est la réalisation d'une application permettant la saisie graphique d'un système numérique. Une saisie graphique peut donc être retranscrite en VHDL, comme une saisie VHDL peut être retranscrite vers une vue graphique. Le projet a été développé en open-source avec le framework Qt.

L'interface graphique



Interface graphique

L'interface graphique se compose de quatre zones principales. La zone de saisie schématique, la zone de saisie textuelle, la zone comprenant les différents outils disponibles pour le programme et la zone de notifications.

L'application

Lors d'une saisie graphique, des composants prédéfinis sont à disposition tels que des entités, des ports ainsi que la possibilité de saisie d'un composant textuel dont le code sera directement inséré dans le VHDL généré. Les connexions sont routées automatiquement, une fois celles-ci saisies. Lors d'une génération de code à partir d'un graphique, une sauvegarde d'informations utiles à la reconstruction future du schéma est opérée dans des lignes de commentaires. C'est le cas, par exemple, de la position du composant sur la scène graphique. Lors d'une reconstruction du graphique à partir du code VHDL, un analyseur syntaxique, ou *parser*, a été implémenté afin d'analyser le code et pouvoir reconstruire le graphique. Le parser analyse aussi les lignes de commentaires utiles à cette reconstruction. Une fois la procédure d'analyse syntaxique effectuée entièrement, donc sans erreurs, le schéma peut être reconstruit dans son entier.

Conclusion

Le programme permet une saisie graphique retranscriptible en VHDL et vice versa. Pour ce travail, il s'agit d'une première version de ce programme. Cette version est une base vers une version avec des ajouts de possibilités, comme, par exemple, une gestion de l'arborescence des fichiers d'un projet, conduisant à un programme déployable dans un laboratoire.

Auteur: Romain Cornaz
Répondant externe:
Prof. responsable: Yann Thoma
Sujet proposé par: HEIG-VD