



**Reconfigurable & Embedded
Digital Systems**

HEIG-VD
Institut REDS
Rte de Cheseaux 1
1401 Yverdon-les-Bains
Tel : 024 / 55 76 330
email : reds@heig-vd.ch

Cours VHDL

Conception numérique : méthode et langage VHDL

Les avancées technologiques de ces dernières années continuent à stimuler l'évolution fulgurante des circuits logiques programmables. Nous disposons actuellement de circuits avec plusieurs millions de portes ! De plus, les fréquences de fonctionnement de ces circuits ne cessent d'augmenter, pour atteindre 400 à 500 Mhz. Ces évolutions permettent d'offrir des circuits logiques de plus en plus performant à un coût toujours plus faible.

Le domaine d'utilisation de ces circuits ne se limite plus à de petites applications périphériques mais s'élargit jusqu'à l'intégration de système à processeur complet (SoPC). Parallèlement, la diminution du prix de ces composants ainsi que de leurs outils de conceptions, les met à la portée de toute PME désireuse d'accéder à cette technologie.

La complexité des systèmes à réaliser nécessite l'utilisation de nouvelles méthodes de conception. L'association de ces méthodes, avec un langage de description de haut niveau, apporte la souplesse nécessaire à une conception rapide, efficace, fiable et évolutive. Le langage VHDL (VHSIC Hardware Description Language) fournit un très bon moyen de description et associé à une méthodologie adaptée, il permet de réaliser les projets les plus ambitieux.

L'institut REDS de l'HEIG-VD vous propose avec ce cours de maîtriser ce langage puissant. Vous serez encadré par un personnel doté d'une excellente connaissance du langage et de la conception numérique. Une approche pratique et pédagogique vous assure un apprentissage ciblé et rapidement productif.

Cours VHDL

Conception numérique : méthode et langage VHDL

Objectifs du cours

Former les participants sur les nouvelles méthodes de conception numérique avec l'utilisation du langage VHDL. Maîtriser le design-flow appliqué à un CPLD ou un FPGA, soit :

- Appliquer les nouvelles méthodes de conception.
- Ecrire des descriptions synthétisables en VHDL.
- Ecrire des test-bench simples en VHDL et réaliser des simulations automatiques.
- Synthétiser et intégrer les descriptions VHDL synthétisable.
- Utiliser des outils modernes et performants.

Thèmes abordés

- Le langage VHDL et l'évolution des méthodes de conception.
- Les concepts de base du langage. Le VHDL pour la synthèse automatique, les instructions concurrentes et séquentielles.
- Le VHDL pour la synthèse : description de systèmes combinatoires (théorie, exercices).
- Le VHDL pour la synthèse : description de systèmes séquentiels (théorie, exercices).
- Le VHDL pour la simulation (concept). Les fichiers de simulation test bench (théorie, exercices).
- Description, simulation et synthèse de systèmes particuliers : bascule RS, porte trois états, bus bidirectionnel (exercices).
- Réalisation d'un projet complet : Description, simulation, synthèse, placement routage et test.

Prérequis : Connaissances en conception numérique. Aucuns sur le langage VHDL.

Public cible : Chef de projet, ingénieur(e)s de développement hardware.

Intervenant : M. Andres Upegui, Prof. HES, PhD. en architecture des ordinateurs.

Lieu : HEIG-VD, 1401 Yverdon-les-Bains.

Durée : 4 jours réparti sur 4 vendredis.

Date / prix : Voir formulaire d'inscription.

Information : M. Etienne Messerli.

Tél. 024/55 76 302 **Fax** 024/55 76 404

e-mail : etienne.messerli@heig-vd.ch, andres.uegui@heig-vd.ch

Internet : www.reds.ch/