

## Module Master VTF

---

# *Méthodologie projets VHDL*

---

**Etienne Messerli / Yoan Graf**

29.09.2010 (v1)

# Table de matières

<b>1. ORGANISATION.....</b>	<b>3</b>
1.1 ARBORESCENCE D'UN PROJET .....	3
1.1.1 Admin .....	3
1.1.2 Dev .....	3
1.1.3 Doc .....	4
1.1.4 Publi .....	4
1.2 CONVENTIONS DES NOMS POUR LE VHDL.....	4
1.3 ENTÊTE DES FICHIERS VHDL OU SCRIPT.....	5
1.4 STYLES DE DESCRIPTION .....	6
1.5 LOGICIELS .....	6

## Révision du document

Ce document est basé sur la méthodologie utilisée dans le cadre de l'institut REDS. Il est basé sur la version v3 du document écrit par Yoan Graf.

Ver	Date	Qui	Commentaires
-	printemps 2010	YNG	Version de l'institut REDS (v3)
1	29.09.2010	EMI	Version initiale du cours Master VTF

## 1. ORGANISATION

### 1.1 ARBORESCENCE D'UN PROJET

\admin	budget, dépense, ...
\Offre	Offre, demande pour le projet
\Suivi	PV des séances
\dev \	fichiers config, script, ...
\src	sources VHDL et SystemVerilog
\comp	répertoire pour le simulateur QuestaSim
\lib\	sources des librairies complémentaires pour simulation
\synth	répertoire pour le synthétiseur Precision
\p_r	répertoire pour l'outils de placement routage (exemple: Quartus d'Altera, ISE de Xilinx, ..)
\result\	fichiers textes avec les résultats
\doc	Documentation de tiers (datasheet, pdf, ...) les classer par sources
\publi \	
\rap	Rapports, manuel
\Note	Notes
\flyer	Flyer, poster
\present	Présentations

#### 1.1.1 Admin

Dossier contenant tous les fichiers d'administration du projet. Exemple: Offre, budget, gestion des heures, etc...

#### 1.1.2 Dev

Dossier contenant la partie développement du projet. Fichiers VHDL, TCL, C, etc. Exemple ci-dessous pour un projet VHDL.

##### 1.1.2.1 Src

Dossier contenant tous les fichiers sources du projet. Il s'agit des descriptions en VHDL et des bancs de test en VHDL ou SystemVerilog.

##### 1.1.2.2 Comp

Dossier de compilation pour ModelSim. *Work* est le dossier de compilation par défaut pour le test-bench

##### 1.1.2.3 Lib

Contient les sources vhdl des libraires complémentaires pour ModelSim.

##### 1.1.2.4 Synth

Dossier pour tous les fichiers générés par le synthétiseur Precision.

#### 1.1.2.5 P\_R

Dossier pour l'outil de placement routage. Cet outil est spécifique au fabricant de circuit logique programmable.

Exemple: Quartus pour Altera, ISE pour Xilinx, ...

#### 1.1.3 Doc

Dossier contenant toutes les documentations d'origine, fabricants, fournisseurs, etc..., des différentes parties du projet.

#### 1.1.4 Publi

Ensemble des publications rédigées pour le projet (publi= publication)

## 1.2 CONVENTIONS DES NOMS POUR LE VHDL

Nous utilisons les conventions suivantes pour les noms de fichiers et de signaux vhdl :

Première lettre d'un mot	⇒ Majuscule
Lettres suivantes du même mot	⇒ Minuscule
Liaison entre deux mots	⇒ Souligné

Figure 1 – Ecriture d'un nom de fichier

Exemple : Bloc\_Uart.vhd

Le nom du fichier VHDL est le même que celui de l'entité

Les fichiers importants comme le Top du design ou le test-bench sont mis en évidence de la manière suivante :

Type de fichiers	Suffixe
Top du projet	_top
Test-Bench	_tb

Figure 2 – Liste des suffixes des noms de fichier

Nous utilisons les conventions suivantes pour nommer les signaux VHDL. Cette convention s'applique pour les fichiers VHDL des "Adaptateurs" et du "Test\_Processor".

Type de signaux	Suffixe	Préfixe
entrée	_i	
sortie	_o	
entrée/sortie	_io	
interne	_s	
constante	_c	
variable	_v	
generic	_g	
signaux actifs bas		n
Dans un test-bench		
stimuli	_sti	
observé	_obs	
référence	_ref	

Figure 3 – Liste des suffixes et préfixes des signaux VHDL

### 1.3 ENTÊTE DES FICHIERS VHDL OU SCRIPT

```

-----
-- HEIG-VD, Haute Ecole d'Ingénierie et de Gestion du Canton de Vaud
-- Institut REDS
--
-- Fichier      : Nom_Module.vhd
-- Description  : breve description module
--
-- Auteur      : E. Messerli
-- Date        : 27.05.03
--
--
--| Modifications |-----
-- Ver  Date      Qui   Description
-- 1.1  29.09.2010 EMI   Mise a jour de l'entete
--
-----

```

## 1.4 STYLES DE DESCRIPTION

### Styles de descriptions

- Equations logiques
- Table de vérité
- Flot de données
- Machine d'états
- Structurelle
- Comportementale
- Modèle pour la simulation
- Banc de test
- 

### Abréviations

Logique  
TDV  
Flot\_Don  
M\_Etat  
Struct  
Comport  
Model  
Test\_Bench

## 1.5 LOGICIELS

QuestaSim 6.6  
Precision 2007  
Quartus II 9.1