

## Exercices de vérification SystemVerilog semestre automne 2010 - 2011

### Un simple compteur

---

#### Exercice 1

1. Reprenez le code du compteur, ainsi que de son banc de test.
2. Observez les différentes constructions liées au langage SystemVerilog
3. Modifiez le banc de test de manière à :
  - (a) Générer plus de cas d'exécution (notamment load et down)
  - (b) Vérifier le comportement correct du compteur de manière automatique

Un script pour la simulation vous est également fourni, et vous permet de lancer automatiquement la compilation/simulation. Attention à répondre "Non" à la question qui vous sera posée, sans quoi QuestaSim se ferme.