

ARO2

Mémoires

Basé sur le cours du prof. E. Sanchez
et le cours ASP du prof. M.Starkier

Romuald Mosqueron

Cours AR02

GÉNÉRALITÉS

- **But : conserver des informations a des emplacements adressables (cases mémoire)**
- **3 modes de fonctionnement :**
 - accès en lecture *Read* pour obtenir l'information enregistrée dans une case spécifiée (adresse)
 - accès en écriture *Write* pour enregistrer une information dans une case spécifiée (adresse)
 - aucun accès à la mémoire (maintien)

Les unités des mémoires

- Le *bit* : unité élémentaire d'information (0 ou 1)
- L'octet ou *byte* : paquet de 8 bits (vecteur, nombre), que l'on peut manipuler simultanément. On l'associe parfois à un caractère (code ASCII)
- Le mot ou *word* : paquet de bits que l'on peut manipuler simultanément (généralement 16, 32 ou 64 bits)

Préfixes binaires (1)

- Exemple du kilobyte :
 - ✓ Unité SI: 1Kilo = 10^3
 - ✓ kilooctet ou kilobyte (ko, kB, Ko, KB) = 2^{10} byte
 - ✓ 1 KB (1 Kbyte)
 - Base 10: $2^{10} \text{ B} = 1024 \text{ B} = 8192 \text{ bit} > 10^3 \text{ B}$
 - Base 16: 400 B
 - Base 2: 10000000000 B
 - ✓ Préfixes binaires utilisés couramment:
kilo, méga, giga, téra, péta, exa, zetta, yotta

Préfixes binaires (2)

Nom	Symbole	Puissances binaires et valeurs en décimal	Nombre	Hexa	Ordre de grandeur SI décimal
unité	o/B	$2^0 = 1$	un(e)	1	$10^0 = 1$
kilo	ko/Ko kB/KB	$2^{10} = 1\ 024$	mille	400	$10^3 = 1\ 000$
méga	Mo/MB	$2^{20} = 1\ 048\ 576$	million	100000	$10^6 = 1\ 000\ 000$
giga	Go/GB	$2^{30} = 1\ 073\ 741\ 824$	milliard	40000000	$10^9 = 1\ 000\ 000\ 000$
téra	To/TB	$2^{40} = 1\ 099\ 511\ 627\ 776$	billion	10000000000	$10^{12} = 1\ 000\ 000\ 000\ 000$
péta	Po/PB	$2^{50} = 1\ 125\ 899\ 906\ 842\ 624$	billiard	400000000000	$10^{15} =$ 1 000 000 000 000 000
exa	Eo/EB	$2^{60} = 1\ 152\ 921\ 504\ 606\ 846\ 976$	trillion	1000000000000000	$10^{18} =$ 1 000 000 000 000 000 000

Les unités des mémoires

● Puissance métrique et binaire !

Valeur	Métrique	
1000	kB	kilobyte
1000 ²	MB	megabyte
1000 ³	GB	gigabyte
1000 ⁴	TB	terabyte
1000 ⁵	PB	petabyte
1000 ⁶	EB	exabyte
1000 ⁷	ZB	zettabyte
1000 ⁸	YB	yottabyte

Valeur		Binaire	
1024	2 ¹⁰	kiB	kibibyte
1024 ²	2 ²⁰	MiB	mebibyte
1024 ³	2 ³⁰	GiB	gibibyte
1024 ⁴	2 ⁴⁰	TiB	tebibyte
1024 ⁵	2 ⁵⁰	PiB	pebibyte
1024 ⁶	2 ⁶⁰	EiB	exbibyte
1024 ⁷	2 ⁷⁰	ZiB	zebibyte
1024 ⁸	2 ⁸⁰	YiB	yobibyte

- Disques durs vendus avec des tailles métriques :
1 TiB = 1'000 GiB = 1099 gigabytes => noté 1099 Go !

Les deux catégories de mémoires

1. Mémoires volatiles (vives)

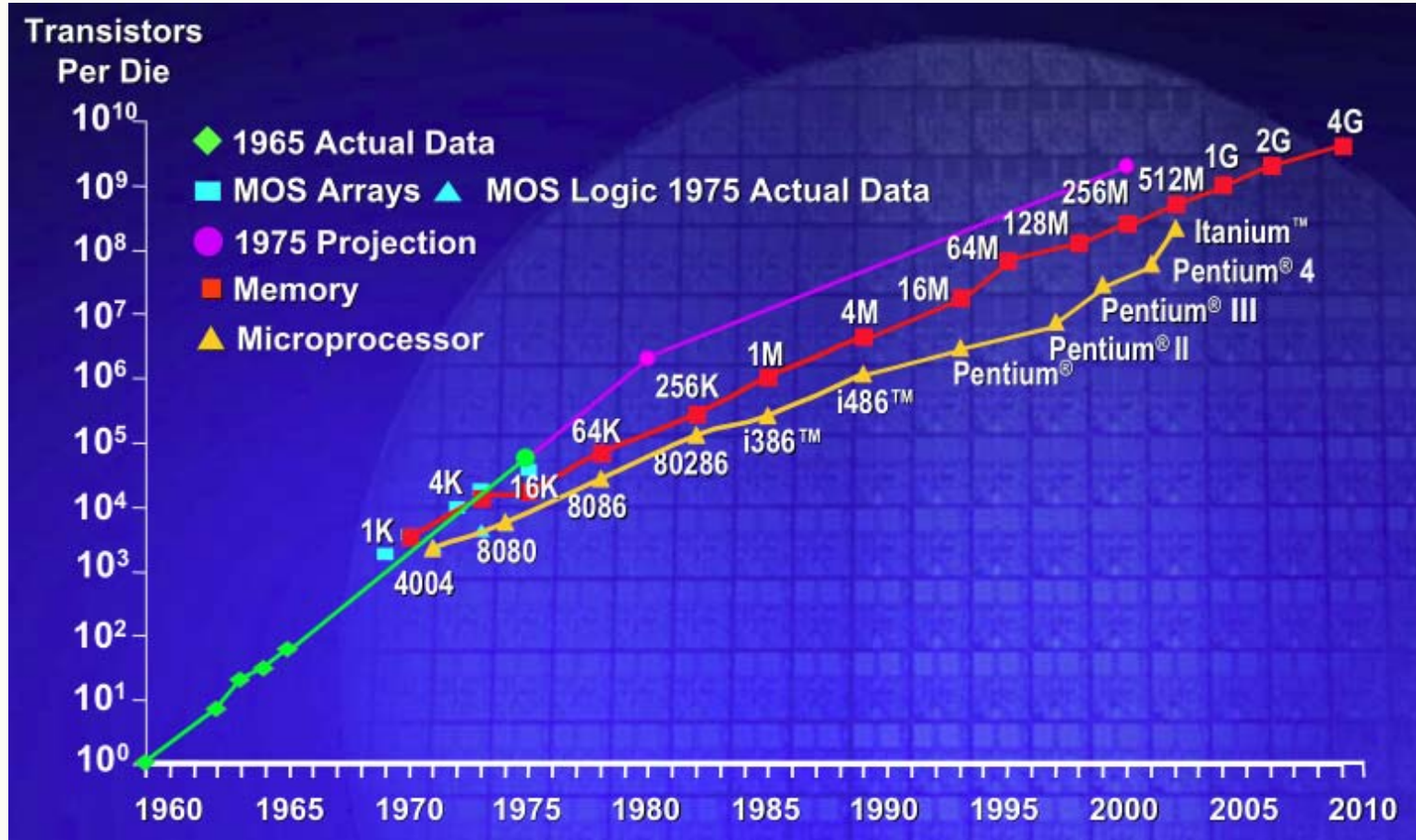
- informations perdues à la mise hors tension
- lecture et écriture en cours d'utilisation

2. Mémoires non-volatiles (mortes)

- informations conservées à la mise hors tension
- lecture en cours d'utilisation
- écriture (« programmation ») durant la fabrication de la mémoire, ou sur la carte (in situ).
- **modification** du contenu durant le fonctionnement du système, implique un **effacement!**

- **Mémoires volatiles (vives)**
 - **RAM** (*random-access memory*): mémoire vive, volatile
 - **SRAM** static random access memory
 - **DRAM** dynamic random access memory
- **Mémoires non-volatiles (mortes)**
 - **ROM†** *read-only memory*
 - **PROM†** *programmable read-only memory*
 - **EPROM** *erasable (UV) programmable read-only memory*
 - **EEPROM** ou **E2PROM** *electrically erasable EPROM*
 - **Flash memory**
 - **FeRAM, MRAM, PRAM**

Evolution des mémoires (chip)



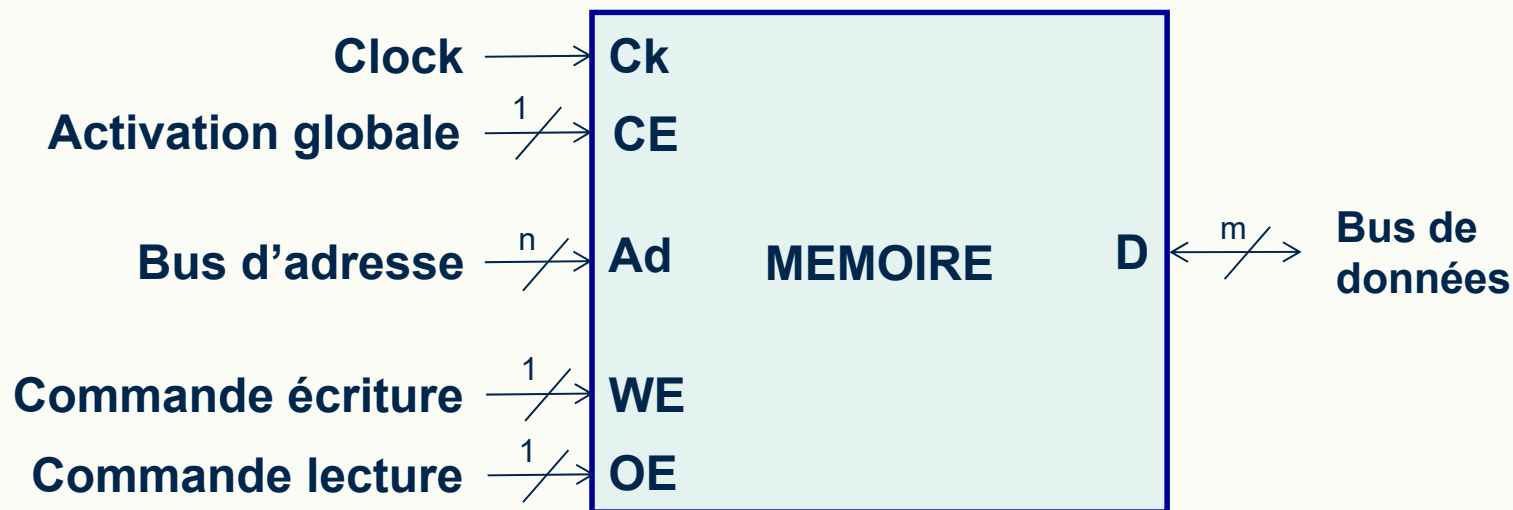
Article "Moore's Law: More or Less?" de Neil J. Gunther, site Computer Measurement Group, Voir: http://www.cmg.org/measureit/issues/mit41/m_41_2.html

Cours ARO2

LA MÉMOIRE EN TANT QUE COMPOSANT

Les signaux du composant mémoire

- **CE / Chip Enable** : active le composant
- **Adresse** : bus de n bits avec $n = \log_2(\text{nb_mots})$
- **Donnée** : bus de m bits avec $m = \text{nb_bits} / \text{mot}$
- **WE / Write Enable** : active l'écriture d'un mot
- **OE / Output Enable** : active la lecture



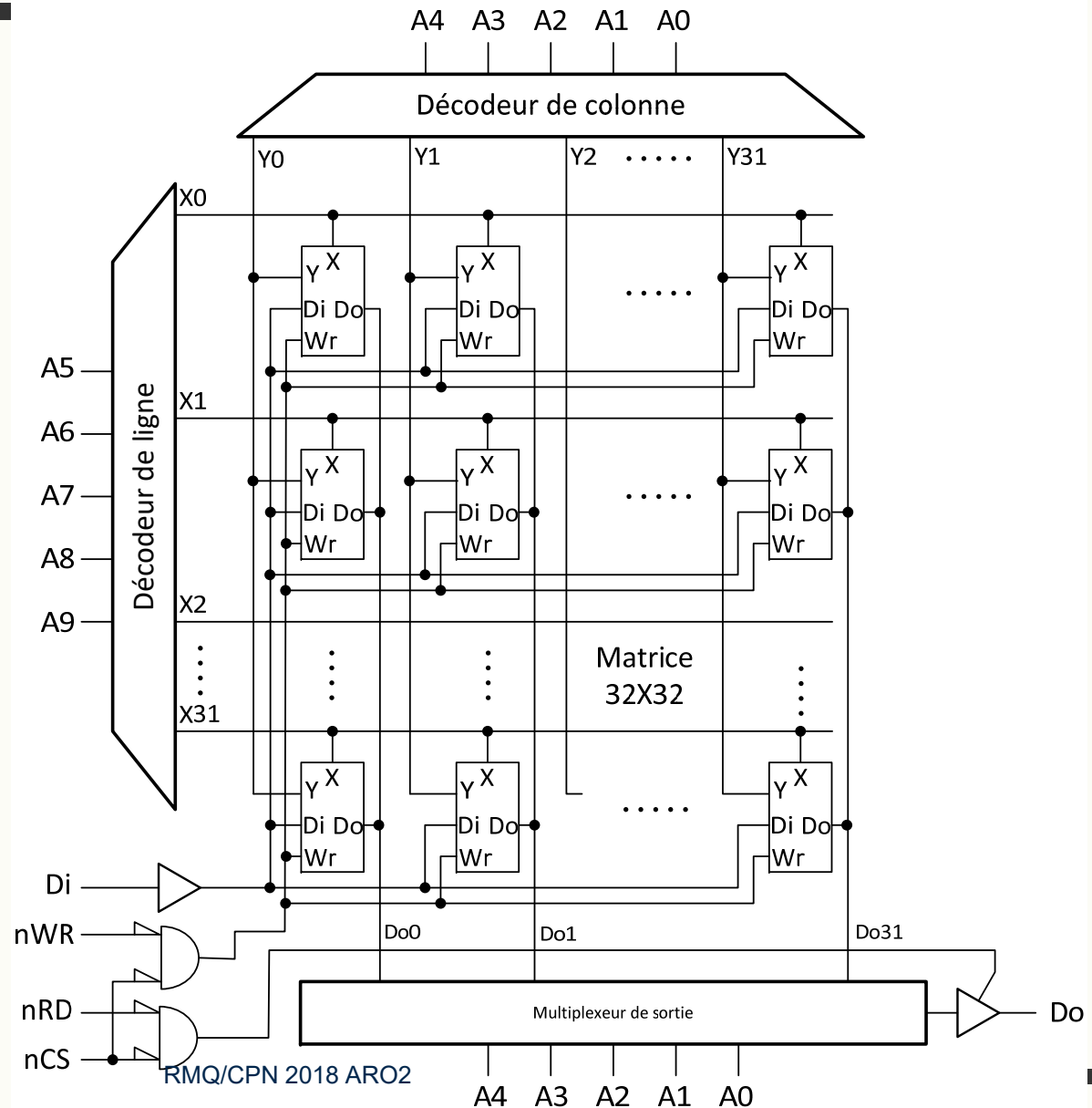
Structure d'une RAM statique

Structure matricielle:

- Diminue le nombre de décodeurs
- Facilite le routage
- Optimise l'utilisation de la surface de la puce

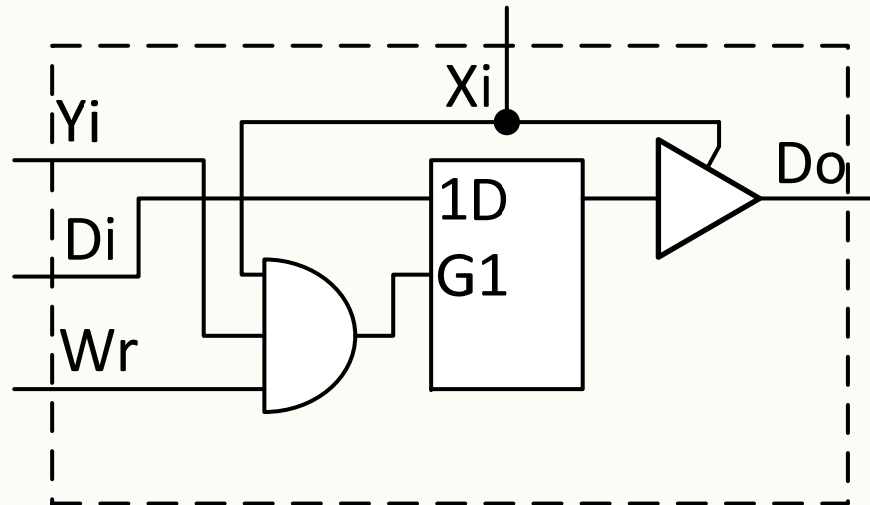
RAM 1024 bits
matrice 32x32

29/03/2018



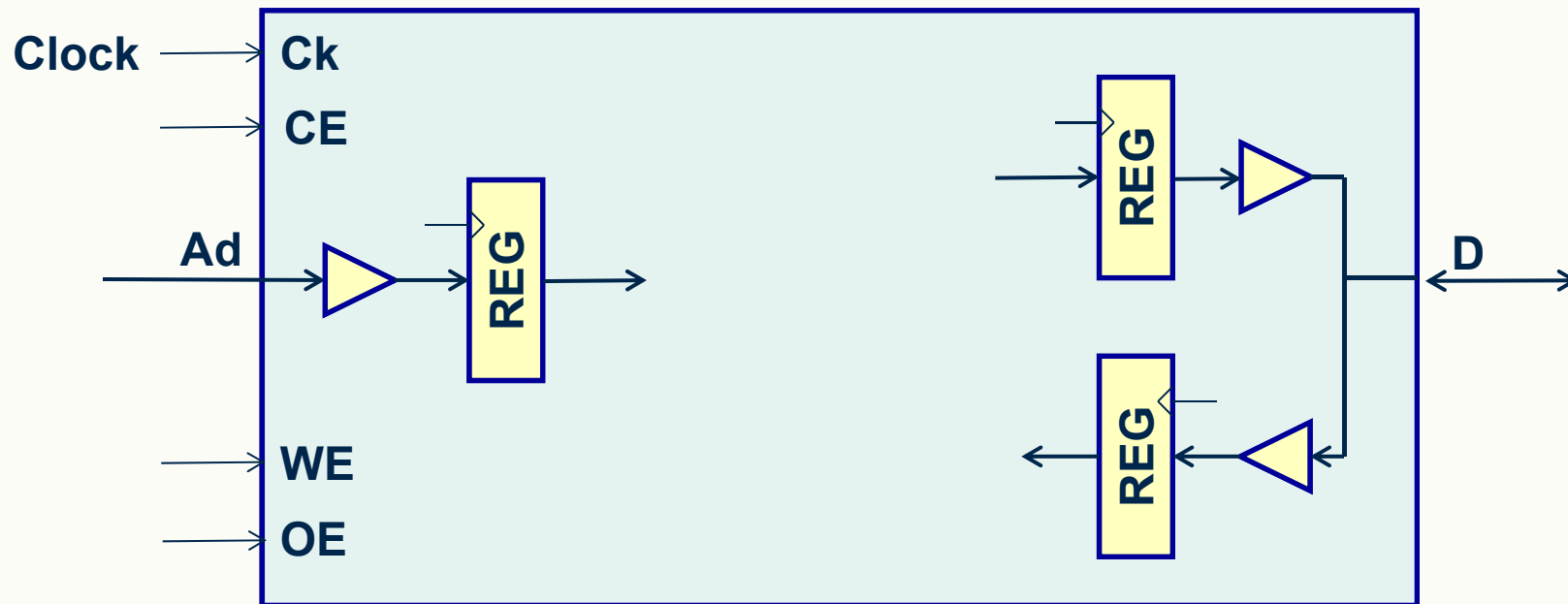
Cellule de base d'une RAM statique

- L'information est mémorisée dans un latch
- Structure d'une cellule
 - mémorisation de D_i si $W_r \cdot Y_i \cdot X_i$ actif
 - lecture latch si X_i actif



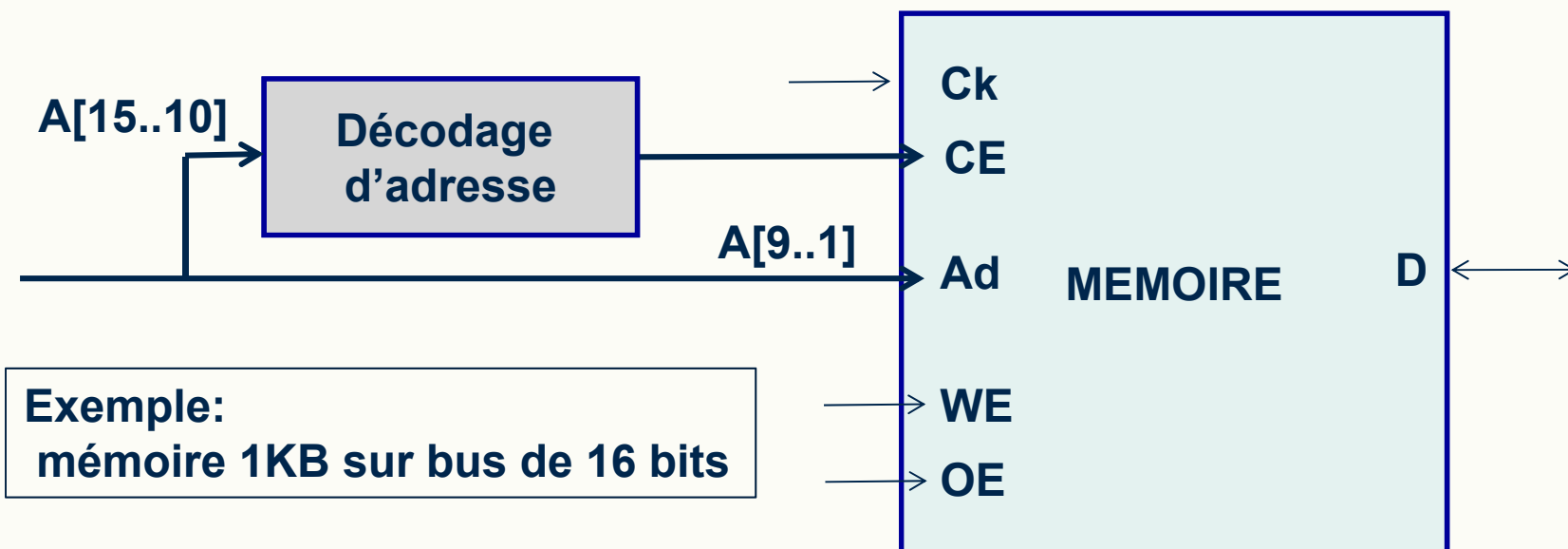
La mémoire : composant synchrone

- Les composants mémoires actuels sont synchrones
- Adresse, donnée et contrôle passent par des registres



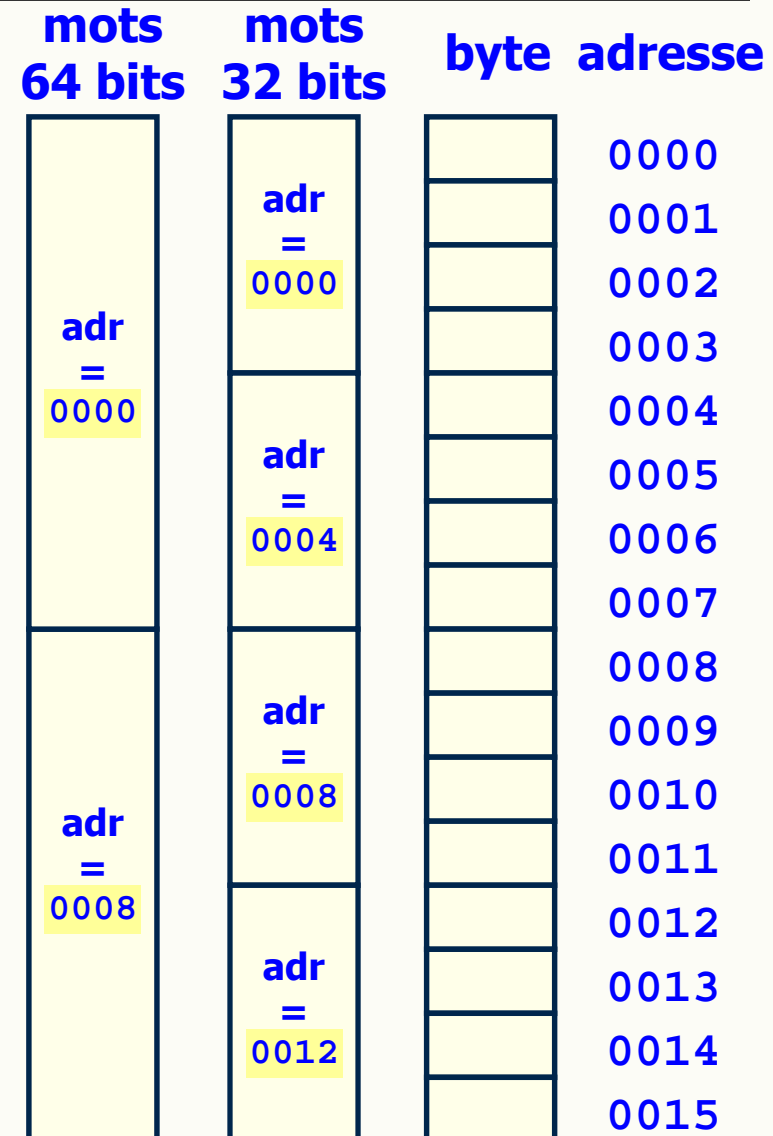
Chip Enable / décodage d'adresse

- CE /Chip Enable active le boîtier
- Signal CE commandé par le circuit de décodage d'adresse
- Le décodage d'adresse s'effectue à partir des bits de poids forts de l'adresse



Adressage mémoire

- Une mémoire d'ordinateur est toujours adressé par bytes
- Si une donnée contient plus d'un byte, l'adresse de la donnée correspond à celle du premier byte
- Les mots sont toujours alignés dans la mémoire
 $Adr = N \times nb_bytes / mot$
(N est entier)



Bande passante mémoire

- La bande passante (bandwidth) d'une mémoire est un indicateur de performance
- $\text{bandwidth} = \text{débit en byte/s}$
- $\text{bandwidth} = \text{Fréquence horloge} \times \text{nb_bits} / 8$
- Exemple : une mémoire 64 bits avec horloge à 100 MHz a une bande passante de $100 \times 64 / 8 = 800 \text{ MB/s}$

Cours ARO2

MÉMOIRES NON-VOLATILES

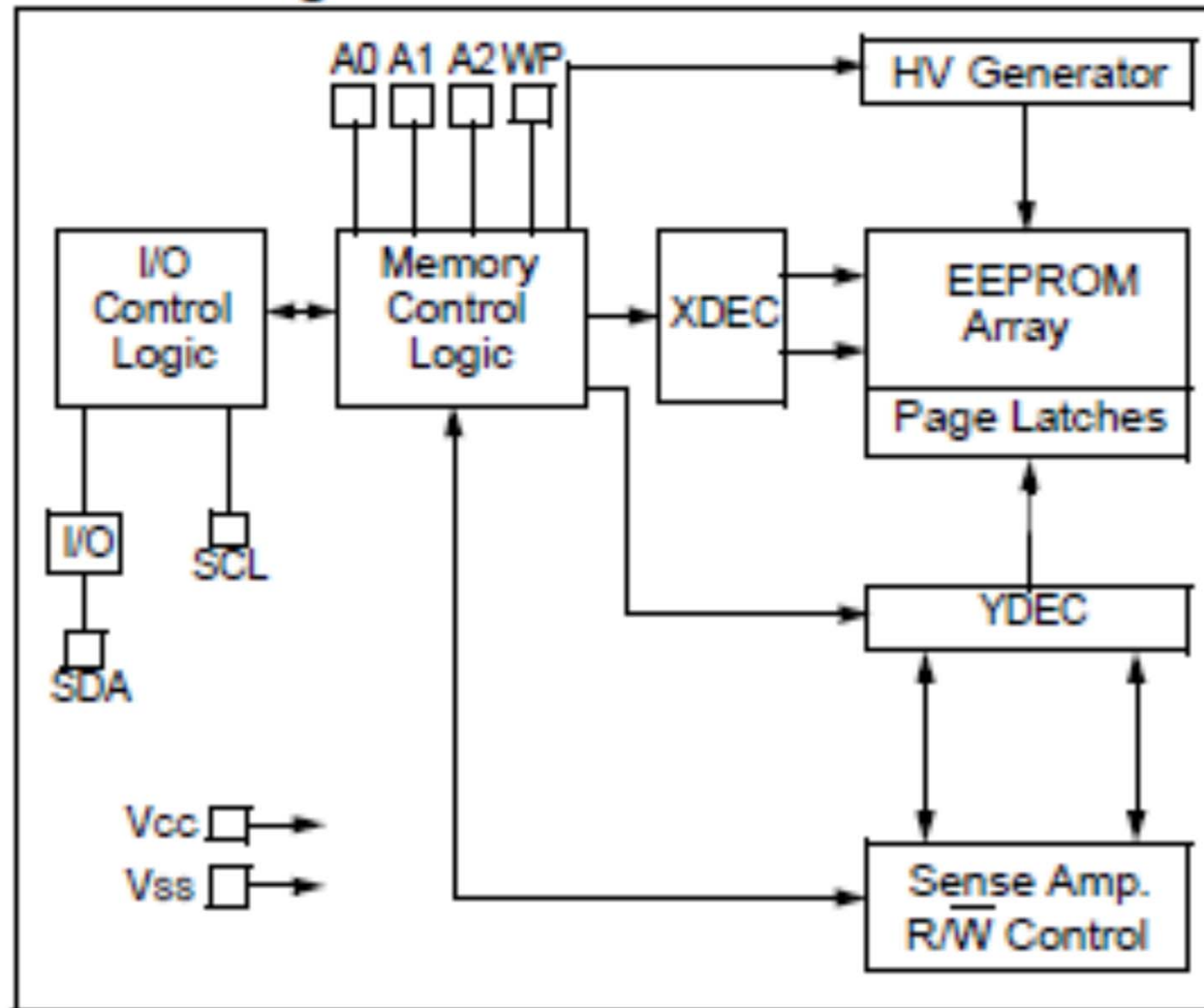
- **Définition : Mémoires dont les données sont conservées à la coupure de l'alimentation**
- **Usage : stockage permanent programmes ou données**
- **Principaux types utilisés actuellement :**
 - **EEPROM**
 - **Flash NAND, Flash NOR**

- **ROM†** contenu définit lors de la fabrication
- **PROM†** contenu programmable une seule fois (fusible)
- **EPROM** ou **UV-EPROM** contenu programmable électriquement et effaçable avec rayons
- **EEPROM** contenu programmable et effaçable électriquement mot par mot (quelques millisecondes)
- **Flash memory** contenu programmable électriquement mot par mot, mais effaçable électriquement par bloc.
 - Type: **NOR Flash**, **NAND Flash**

MICROCHIP 24AA128/24LC128/24FC128

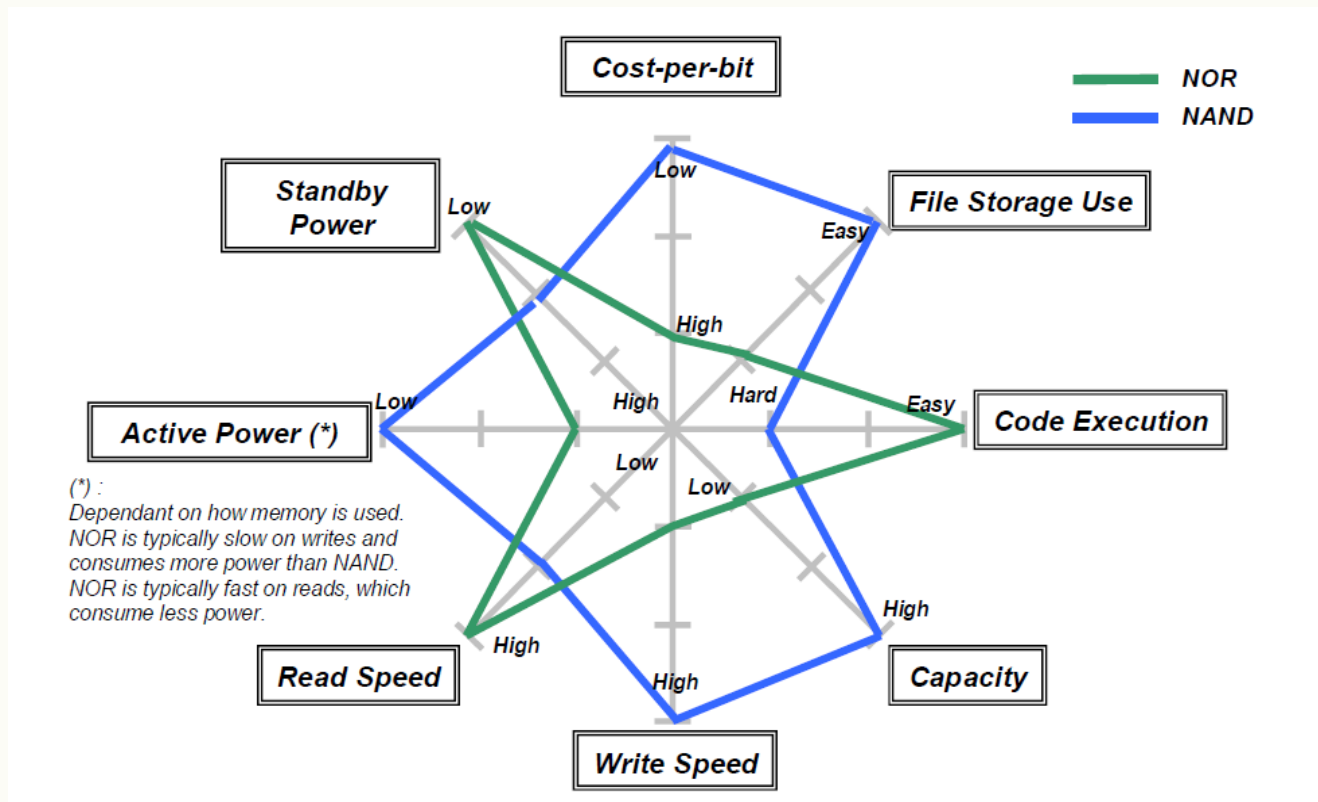
128K I²C™ CMOS Serial EEPROM

ReDS
heig-vd



Mémoire flash

- Deux types de mémoire flash : NAND et NOR
- Inventées simultanément en 1980



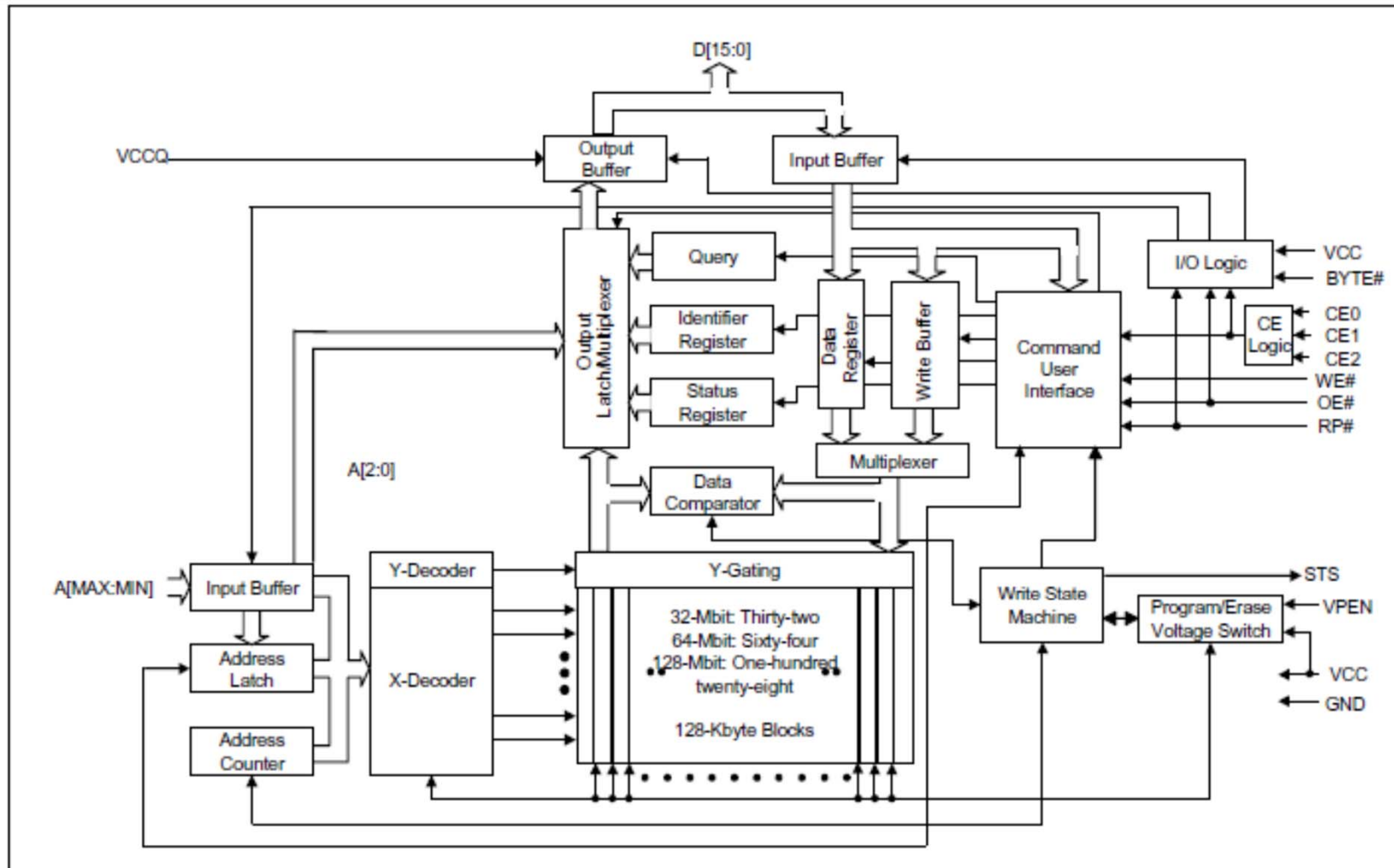
Comparaison Flash NAND / NOR

	Flash NAND	Flash NOR
Lecture séquentielle	30ns	...
Lecture aléatoire	25µs	70ns
Ecriture	50ns	50µs
Effacement par bloc	2ms	1s
Capacité	512Gb	2Gb
Nb. cycles écriture	10 ⁵	10 ⁵
Applications	Stockage fichiers (128GB)	Code



3 Volt Intel StrataFlash® Memory

28F128J3A, 28F640J3A, 28F320J3A (x8/x16)



Cours ASP

CARTES MÉMOIRES

- **Anciennes versions**
 - PC Cards (PCMCIA) / Card bus 1990
 - Express Card (75x34/54 x5 mm) 2003
- **Les plus utilisées**
 - Compact Flash 1994
 - Multimedia Card 1997
 - SD Card 1999
- **Autres**
 - SmartMedia (Toshiba)
 - Memory Stick (Sony, Sandisk)
 - MiniCard (Intel, AMD,..)

Compact Flash

- 43 x 36 x 3.3/5 mm
- Capacité jusqu'à 512 GB
- Introduites en 1994
- Initialement basé sur de la Flash NOR Intel
- Compact Flash Association (Sandisk, Sony, Nikon,..)

- Type I et Type II (épaisseur)
- Microdrive => disque dur au format Compact Flash



MMC (Multimedia Card)



- 32 x 24 x 1.5 mm
- Capacité 2 GB
- Introduites en 1997
- Basé sur de la Flash Nand Toshiba

- RS-MMC (Reduced Size) /MMC mobile
 - 24 × 16 × 1.5 mm
- MMC4.x (MMCplus) => plus de pins / 128GB
- SecureMMC avec encryptage
- eMMC: chip BGA à souder sur carte /128GB

SD card (Secure Digital)



- 32 x 24 x 2.1/1.4 mm
- 1999, capacité 2 GB
- Basé sur la Flash Nand Toshiba avec encryptage hardware
- SD Association fondée en 2000 par Matsushita, Panasonic, SanDisk et Toshiba

- SDHC (High Capacity) , max 32 GB, 2006
- SDXC (Extended Capacity) , max 2TB, 2011
- miniSD, 21.5 x 20 x 1.4 mm
- microSD, 11 x 15 x 1 mm

Cours ARO2

MÉMOIRES VOLATILES

- **Définition : Mémoires dont les données sont perdues à la coupure de l'alimentation**
- **Usage : stockage programme et données durant l'exécution d'un programme**
- **Principaux types utilisés actuellement :**
 - **SRAM**
 - **DDR**

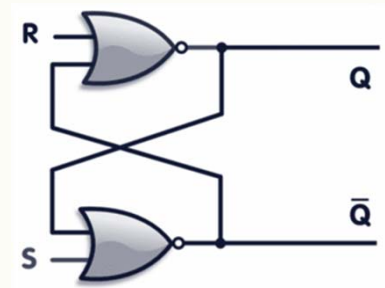
Les types de mémoires volatiles

- **RAM** (*random-access memory*): mémoire vive, volatile
 - **SRAM** static random access memory:
L'information est conservée dans des transistors. Elle est maintenue tant que la tension d'alimentation est présente
 - **DRAM** dynamic random access memory
L'information est conservée dans un condensateur et maintenue tant que la tension d'alimentation est présente.. Il faut recharger (rafraîchir) périodiquement les cellules de mémoire.
 - **SDRAM** Synchronous dynamic RAM
 - **DDR SDRAM** Double data rate Synchronous dynamic RAM
DDR 100MHz, DDR2 133MHz, DDR3 166MHz, DDR4 200MHz
- En développement: T-RAM, Z-RAM, TTRAM

http://en.wikipedia.org/wiki/Static_random-access_memory

Mémoire SRAM (Static RAM)

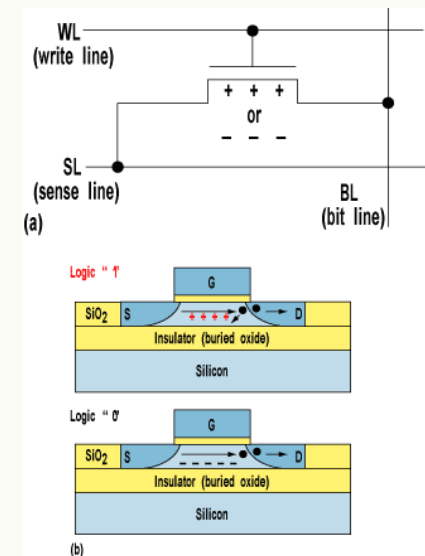
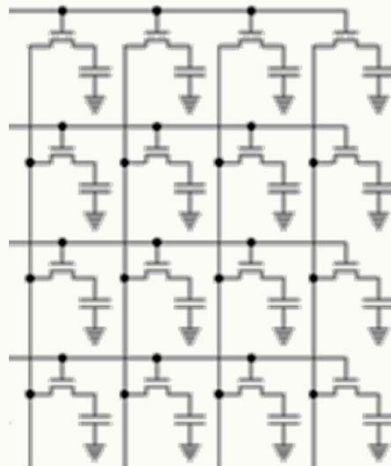
- Stockage volatile de données
- Éléments bistables de stockages (bascules)
- Capacités faibles (8 Mbytes)
- Très rapides en accès aléatoire
- Usage : mémoire caches, tampon (buffer)



- **Capacités moyenne 4Kb-128Mb**
- **Rapide jusqu'à 600 MHz**
 - pas de latence
 - annoncé jusqu'à 1 GHz
- **Prix élevé des circuits SRAM**
- **mémoire cache pour processeurs**
 - **SRAM interne au chip, la mémoire fonctionne à la fréquence du CPU!**

Mémoire DRAM (Dynamic RAM)

- Stockage volatile de données
- Condensateurs utilisés pour le stockage
- Nécessite un cycle de rafraichissement
- Temps d'accès aléatoire lent
- Accès burst(séquentiel) plus efficace



Mémoire DDRAM (Double Data Rate SDRAM)

- Utilise le front montant et le front descendant de l'horloge
 - Exemple : DDR 8 bits avec clock à 200MHz => 400MB/s
- Capacité : 4 Gb
- Fréquence max (DDR4) proche du GHz
- Débit max 128 bits : 30GB/s

- **Grandes capacités jusqu'à 128 Gbits**
- **Rapides 500MHz**
 - **attention : latence importante**
- **Limitations accès (pages)**
- **Rafraichissement**
- **Mémoire centrale des ordinateurs**

Différents types:

- **DRAMs asynchrones**
- **SDRAMs synchrones**

Caractéristiques des DDR

● DDR1, 2, 3 et 4

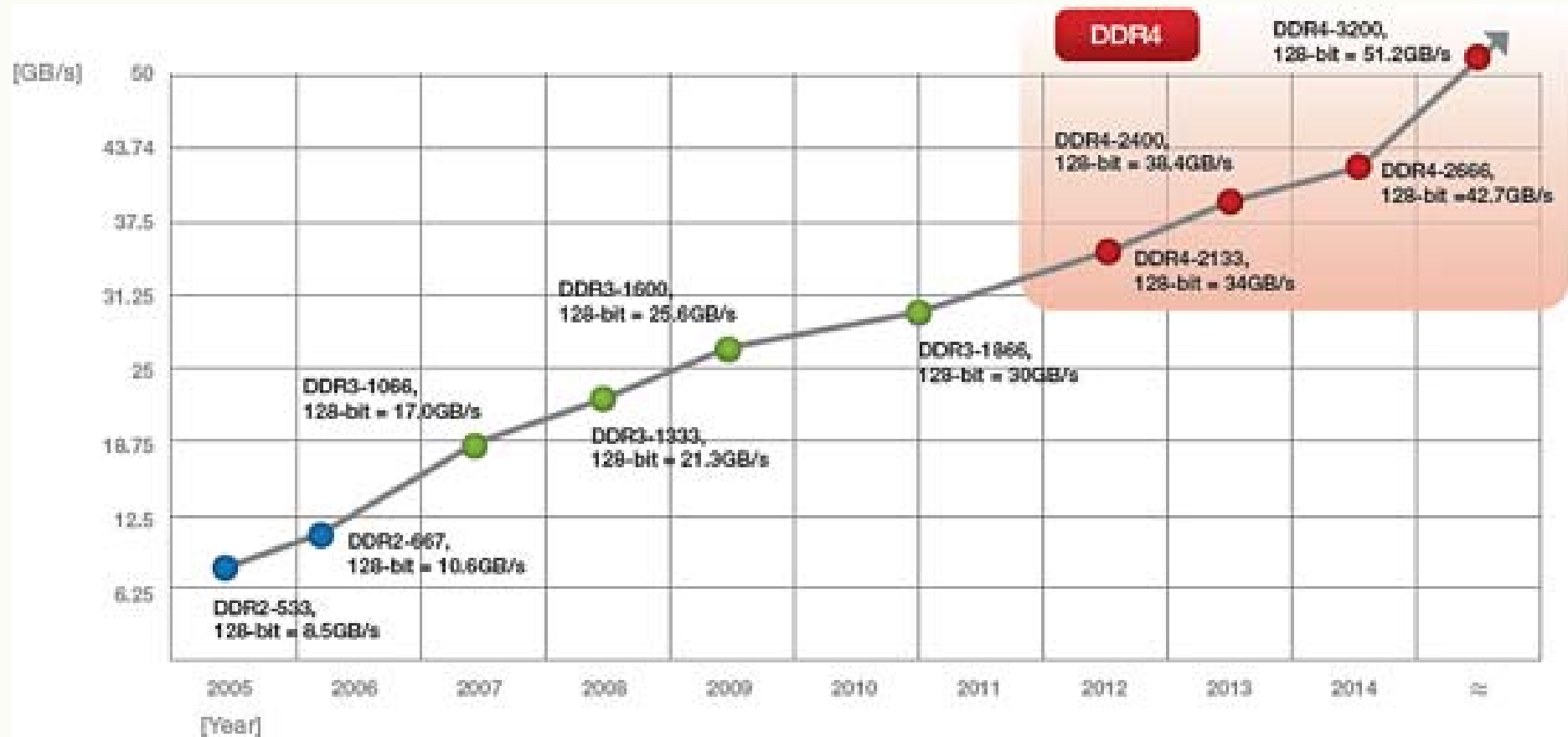
Type	Data bus	Bank	Bus clock MHz	Max data rate	Max capacity
DDR	64 bits	1	100 to 200	1'600 MB/s	1 Gbits
DDR2	64 bits	2	200 to 533	4'264 MB/s	4 Gbits
DDR3	64 bits	4	400 to 1066	8'528 MB/s	8 Gbits
DDR4	128 bits	16	1066 to 2133	34'128 MB/s	?

MT/s megatransfers per second

- Transfert sur les deux flancs du clock
Data rate = 2 * Bus clock
- A chaque évolution, le nombre de rangée de circuits double. Dès lors le débit double.

voir: http://en.wikipedia.org/wiki/DDR_SDRAM

Mémoire DDR



- **NAND** **512Gbits ou +**
 - Haute capacité
 - Contraintes : accès, correction erreur, ...
 - Rapide en effacement et écriture
- **NOR** **2Gbits**
 - Accès aléatoire rapide
 - Plus lente en effacement et écriture
 - Plus chère

● **NAND**

● Utilisée dans :

- Clé USB
- SDCARD pour appareil photo
- SSD

● **NOR**

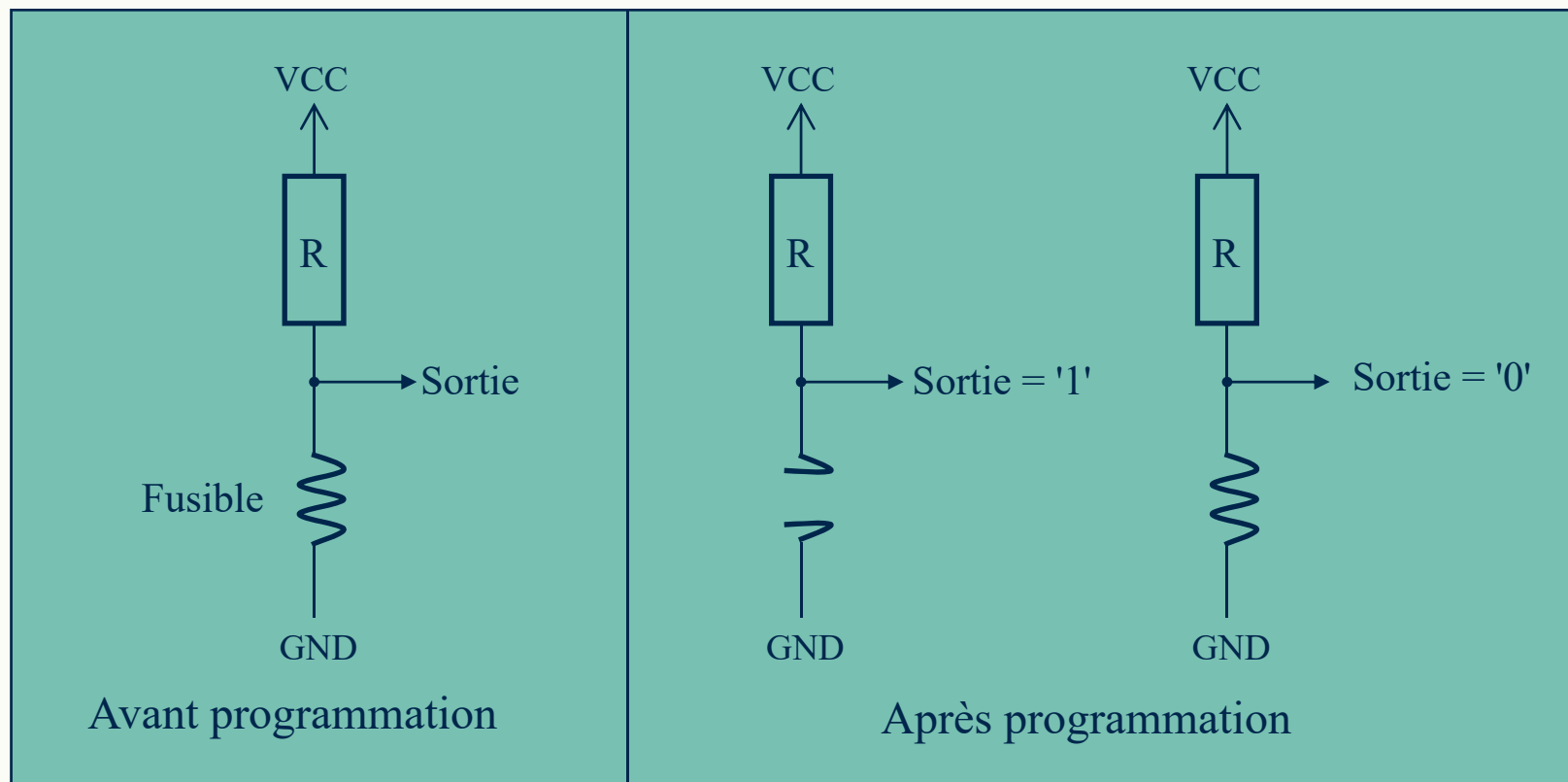
● Utilisée dans :

- Les systèmes de configuration des FPGA ou DSP
- Les téléphones portables pour contenir l'OS

- **Petites capacités 1Mbits**
- **Sauvegarde de paramètres**
- **Parallèle ou série**
- **Utilisé dans appareil électronique pour quelques paramètres**

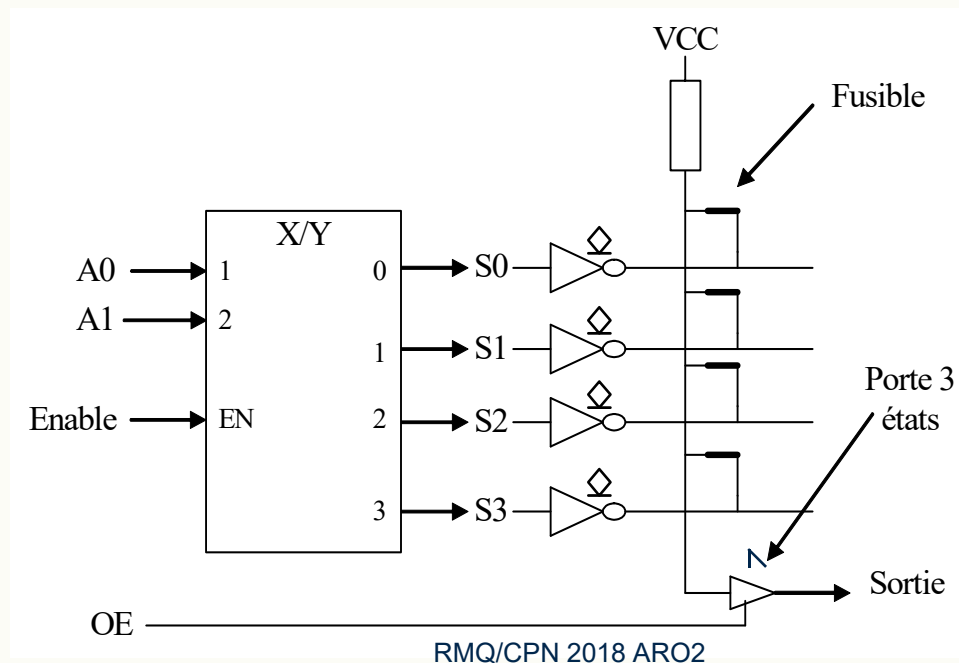
Mémoire morte : PROM

- Une mémoire morte 1 bit programmable, une seule fois, peut être réalisée avec une résistance et un fusible.

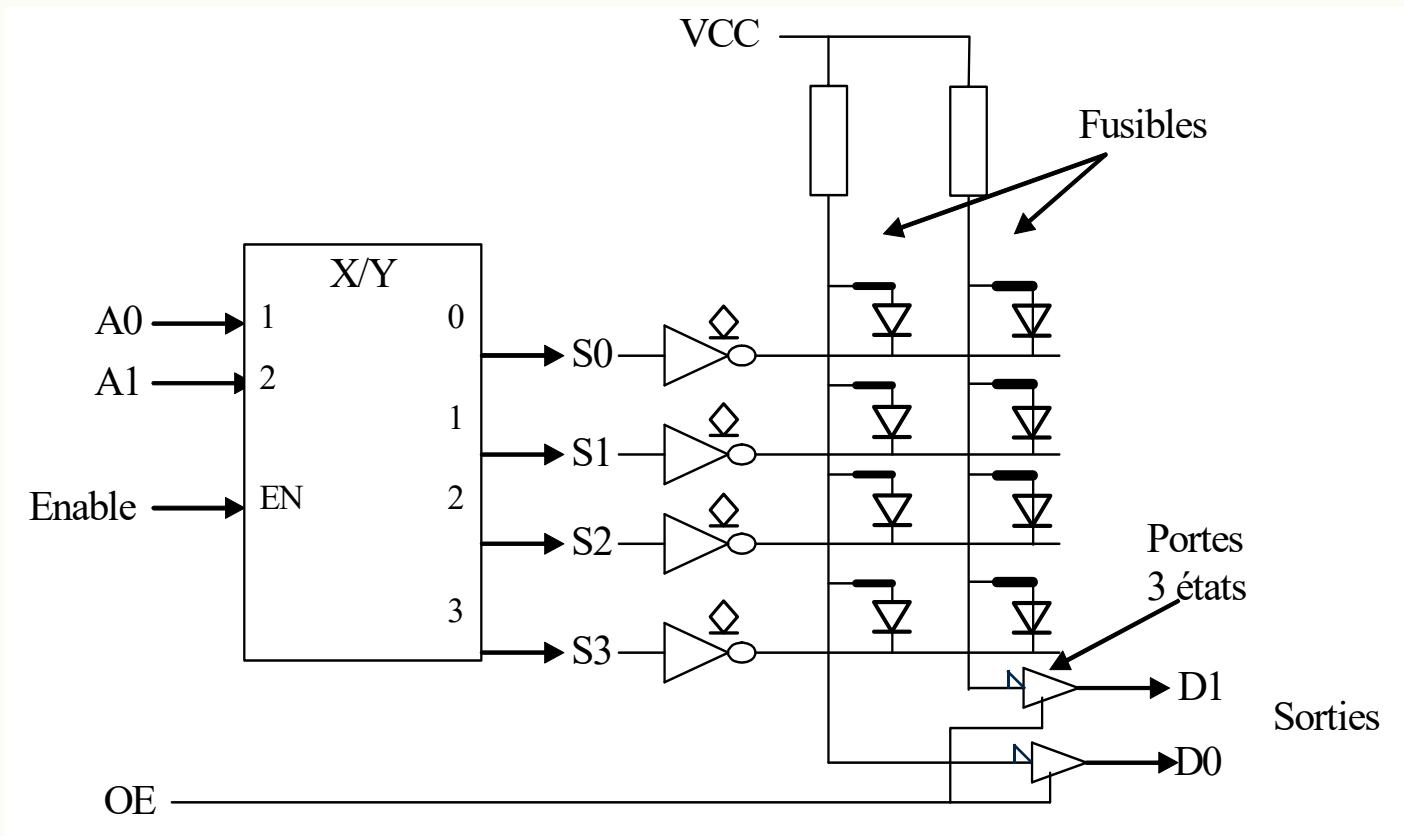


Mémoire morte 4 x 1 bit

- **Fonction de sortie = somme de mintermes**
 - Un décodeur permet de sélectionner un bit (minterme) parmi les 4
 - Un ou-câblé peut être réalisé avec des portes à collecteur ouvert.



... mémoire morte 4 x 2 bits



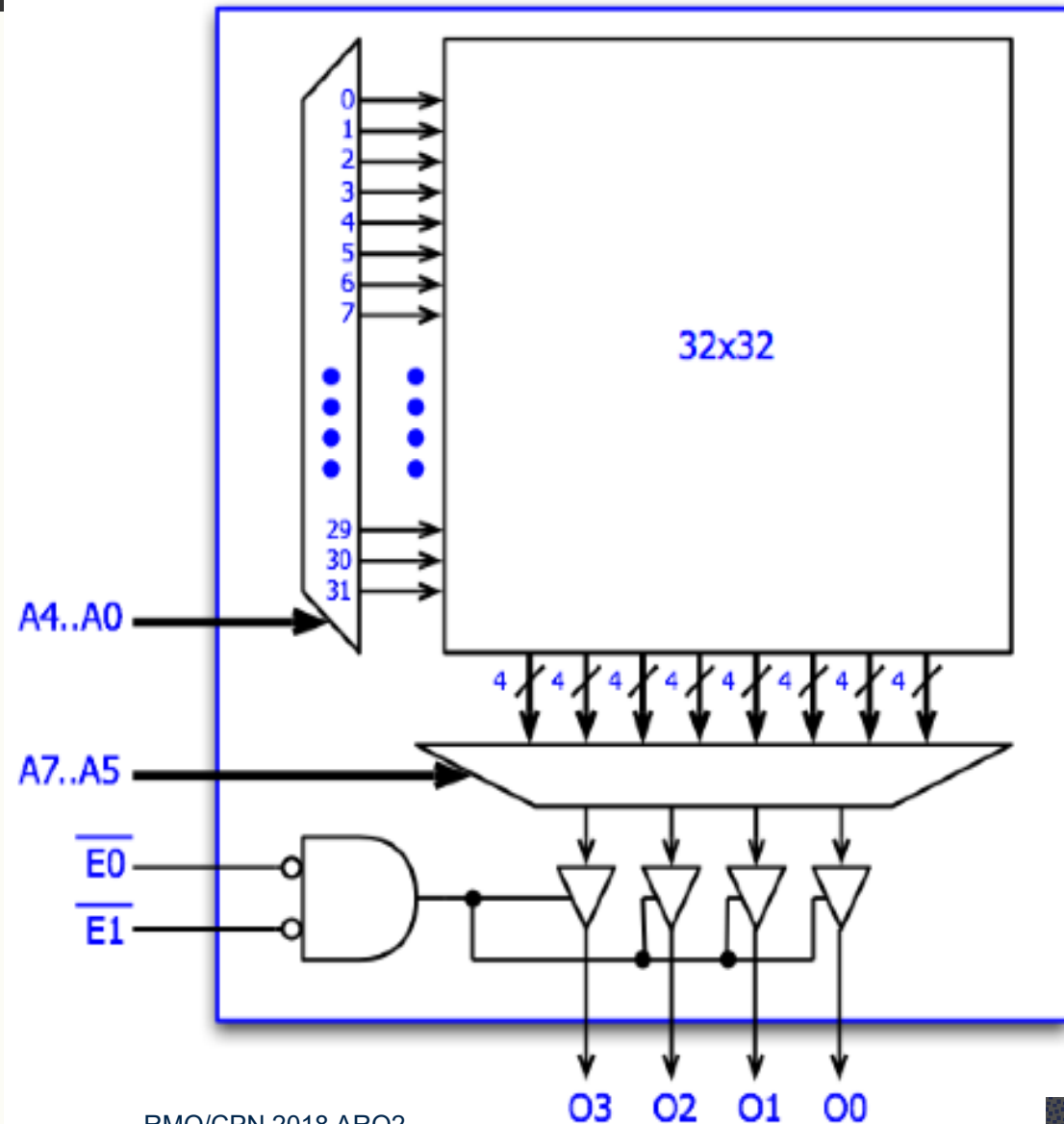
Mémoire morte 8 x 2 bits

- Une entrée d'activation du circuit *Chip Select* (CS)
 - peut aussi commander la mise sous tension des blocs internes
- Une entrée de 3 bits (*Address*) pour sélectionner une case de la mémoire
- Une entrée *Output Enable* (OE) pour commander l'activation de la sortie de données
- Une sortie de 2 bits (*Data*) fournissant la valeur lue

Mémoire ROM 256 x 4 bits

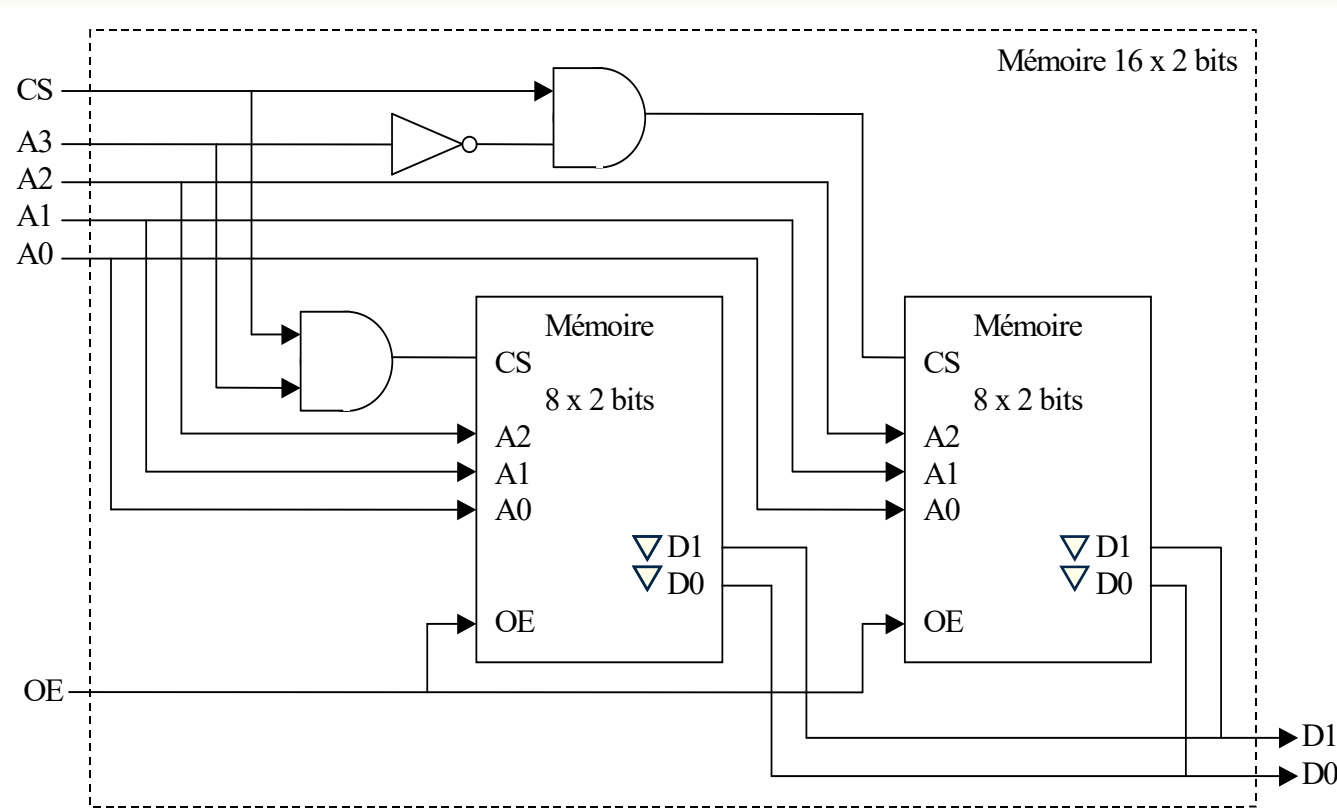
Capacité totale :
1024 bits

Décomposé en une
matrice 32 x 32 bits



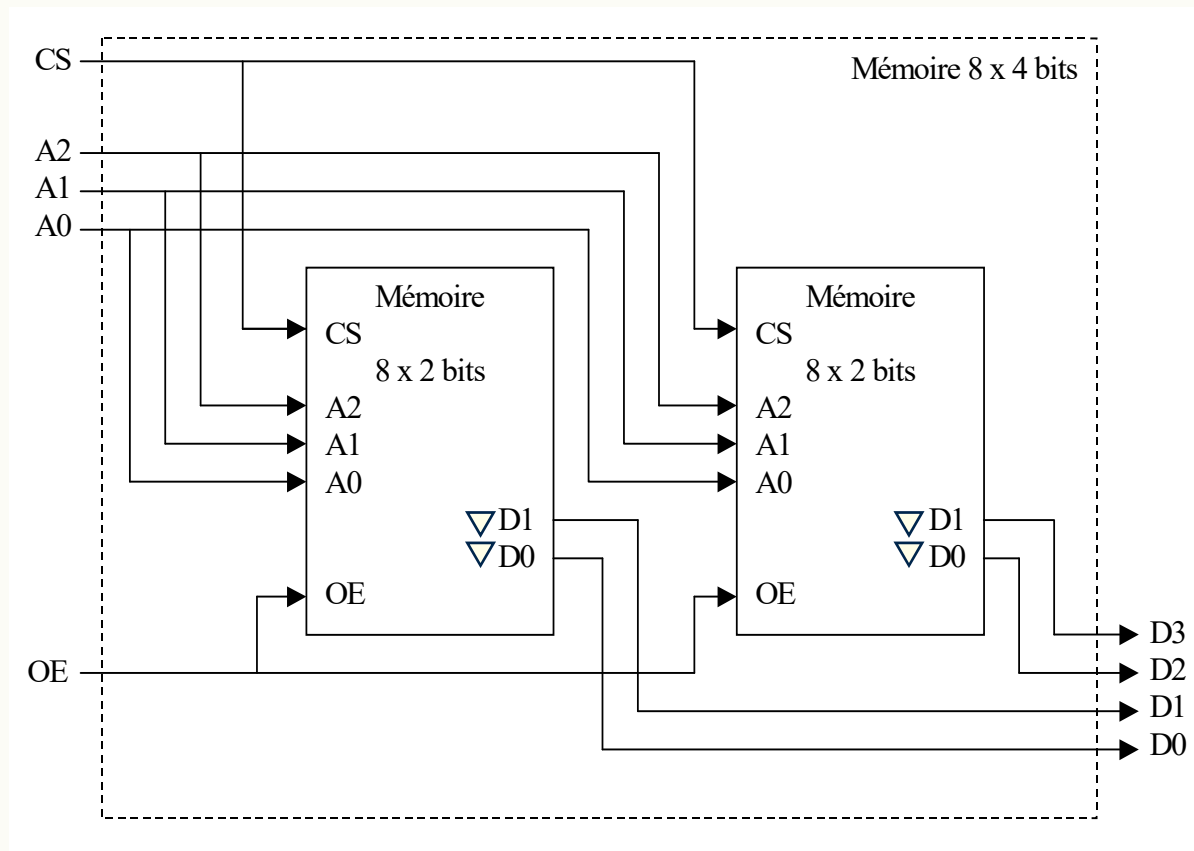
Extension des adresses (profondeur)

- Les entrées de sélection du circuit permettent d'étendre la profondeur en utilisant plusieurs circuits



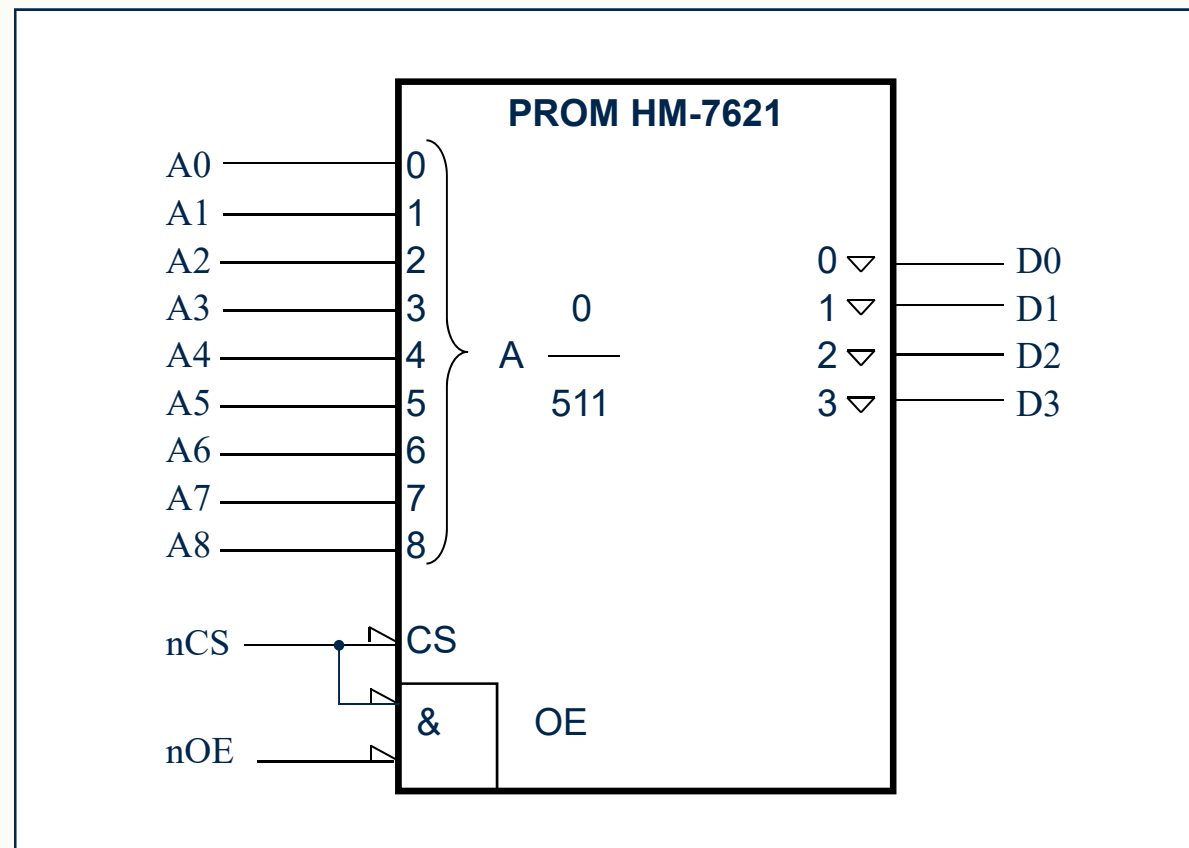
Extension des données (largeur)

- Il suffit d'utiliser 2 circuits en parallèle



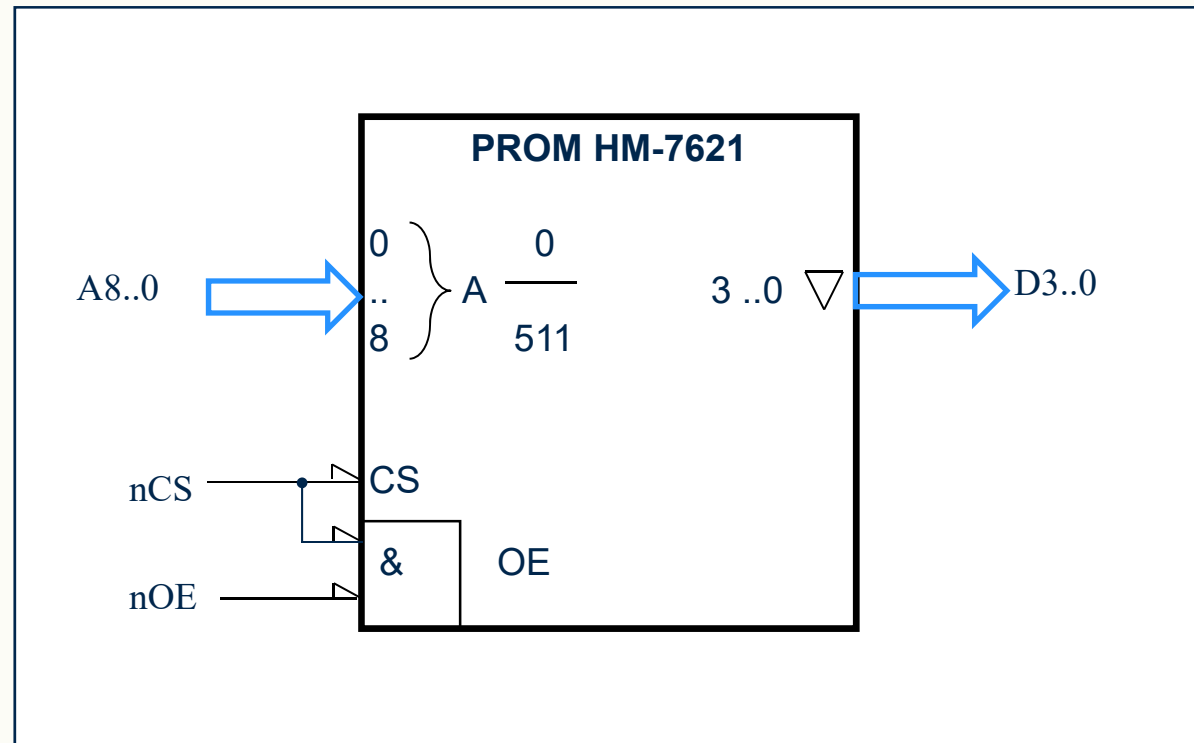
Symbole CEI d'une PROM

● Mémoire HM-7621, capacité 512x4



... symbole CEI d'une PROM

- Mémoire HM-7621, capacité 512x4
 - représentation avec des bus (plus lisible)



Mémoire = système combinatoire

- Les bits d'adresse sont les entrées
- Les bits de donnée sont les sorties
- La valeur mémorisée à l'adresse x est celle qui figure dans la table de vérité pour la combinaison x des entrées

● Exemple : circuit calculant le nombre de '1' dans un mot de 3 bits

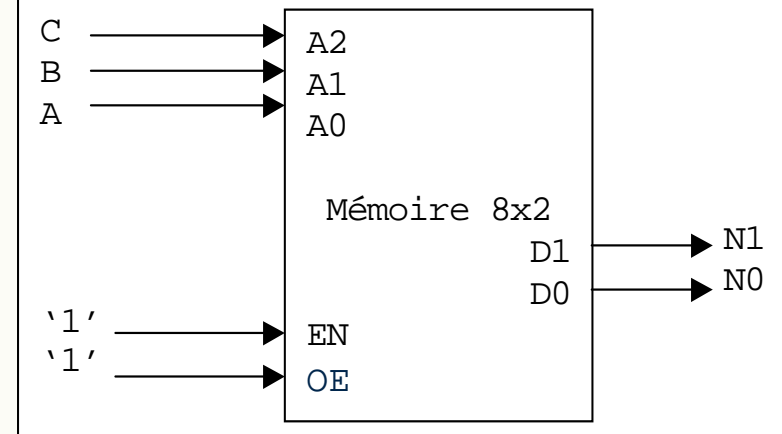
Table de vérité

C	B	A	Nb_1	N1	N0
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	2	1	0
1	0	0	1	0	1
1	0	1	2	1	0
1	1	0	2	1	0
1	1	1	3	1	1

Contenu de la mémoire

Adresse			Donnée	
A2	A1	A0	D1	D0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Schéma



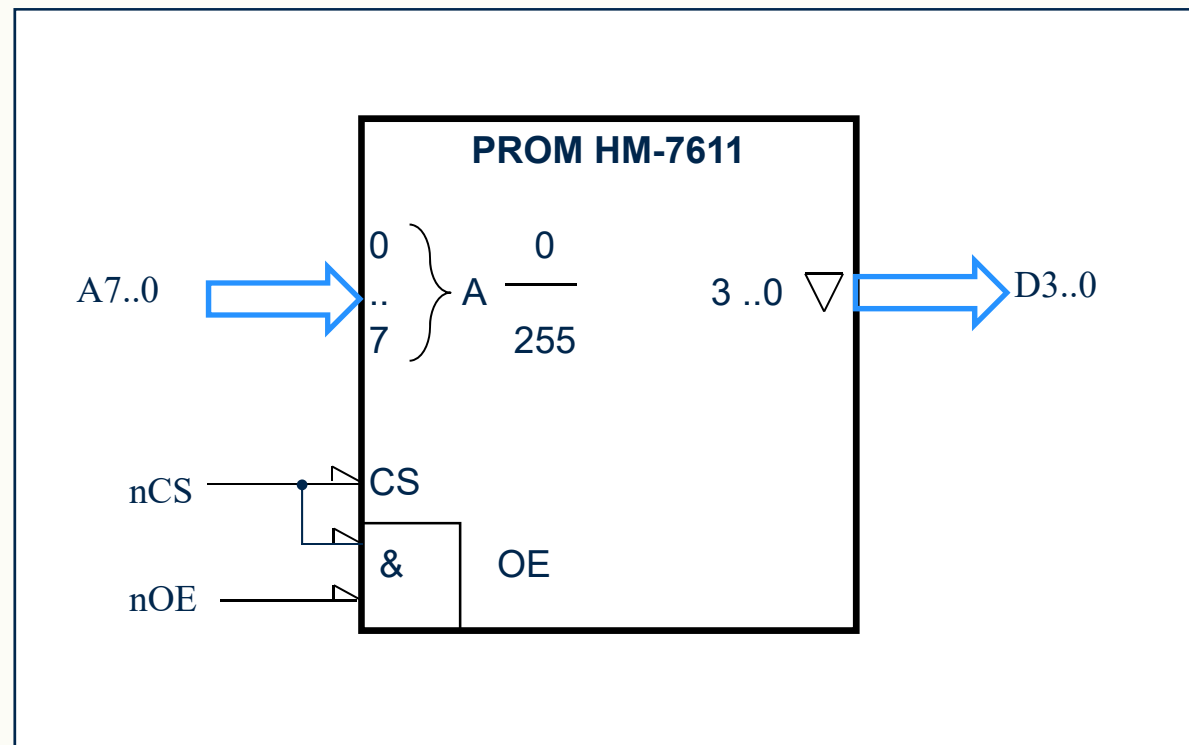
Mémoire en système combinatoire

- Les temps de réaction entrées/sorties sont plus grands (rapport 1 à 10 fréquent) que pour une réalisation avec des portes
- Les transitoires ne sont pas maîtrisables
- Une mémoire à n bits d'adresse permet de réaliser toutes les fonctions combinatoires à n entrées.
- Une mémoire à m bits de données permet de réaliser m fonctions des mêmes entrées

- 1) Vous disposez de plusieurs PROM de type HM-7611 (256x4).
 - a) Réalisez une mémoire de capacité 256x12.
 - b) Réalisez une mémoire de capacité 1024x4.
 - c) Réalisez une mémoire de capacité 512x8.
- 2) Vous disposez de PROM de type HM-7649 (512x8). Dessinez le schéma permettant de réaliser une mémoire d'une capacité de 1Kx4 bits.
- 3) Vous disposez de PROM de type HM-7603 (32x8). Dessinez le schéma permettant de réaliser une PROM d'une capacité de 128x2 bits.

Symbole PROM 256x4

- Mémoire HM-7611, capacité 256x4



256x12 avec des 256x4

- **Combien de mémoires sont utilisées (on ne compte pas la logique utilisées en plus):**
 - 1) **1 mémoire**
 - 2) **2 mémoires**
 - 3) **3 mémoires**
 - 4) **Plus de 3 mémoires**

1024x4 avec des 256x4

● **Avec quel(s) composant(s) combinatoire peut-on réaliser ce montage:**

- 1) **4 mémoires + multiplexeur(s) 4à1**
- 2) **4 mémoires + décodeur(s) 2à4**
- 3) **4 mémoires + XOR(s)**
- 4) **4 mémoires + autres**

512x8 avec des 256x4

● **Combien de bits pour le bus d'adresse?**

- 1) **6**
- 2) **8**
- 3) **9**
- 4) **10**