

Résumé pour l'utilisation de Quartus II 17.0

Ver	Date	Qui	Commentaires
0.1	17 sept 2014	EMI	Adaptation pour Linux
0.4	01 nov. 2016	BRE	Ajout assignation automatique des pins
0.6	21 février 2018	EMI	Ajout analyse quantité logique par entité


Version: PC de laboratoire Linux, février 2018, logiciel Quartus II 17.0, 64bits

Création d'un nouveau projet et importation des fichiers VHDL

1. Lancer le logiciel Quartus II, aller dans les menus :
REDS Lab → Electronic Design → Quartus II 17.0 ou raccourci sur le bureau
2. Lancer le Wizard pour la création d'un nouveau projet, soit :
File → New Project Wizard..., puis Next
3. Dans la fenêtre "New Project Wizard: Directory, Name, Top-Level Entity"
Choisir le répertoire : /home/reds_user/crs_csn/<nom_proj>/pr
Créer, si nécessaire, les répertoires
Saisir le nom du projet (idem nom entité) **à respecter**
Saisir le nom de l'entité du top (top-level-design entity)
normalement automatiquement copié
puis Next
4. Dans la fenêtre "Project Type"
Sélectionner "Empty Project", puis Next
5. Dans la fenêtre "Select File"
cliquer sur et aller dans les répertoires ..\src et src_cp1d,
puis sélectionner tous les fichiers VHDL pour la synthèse
puis Next
6. Dans la fenêtre "New Project Wizard: Family & Device Settings"
Choisir la famille "MAX V"
puis compléter le champ "Name filter" avec le device : 5M570ZF256C5
puis Next
*Info carte **MaxV 80-25p**: device family: Max V, device : 5M570ZF256C5*
7. Dans la fenêtre "New Project Wizard: EDA Tool Settings"
Fenêtre Simulation
Sélectionner QuestaSim dans la liste, avec format VHDL
puis Next
8. Dans la fenêtre "Summary", cliquer sur Finish

Assignment des pins pour les signaux I/O


Option 1 : Assignment automatique avec un script

- Le répertoire <nom_proj>/src_cpld doit contenir le script
« < top_level_design_entity>_pin_assignment.qsf»
- Aller dans le menu : Assignment → Import Assignments...
- Cliquer sur  et sélectionner le fichier du script.
- Cliquer sur OK

Option 2 : Assignment manuelle

- Ouvrir la fenêtre de sélection du Device en allant dans le menu:
Assignment → Pin Planner
Pour chaque signal => choisir la pin correspondante selon schématique

Compilation des fichiers VHDL du projet :

- Démarrer la compilation en allant dans le menu:
Processing → Start compilation
ou
cliquer sur l'icone  dans la barre d'outils

puis le message: " Full Compilation was successful (X warnings)"
si vous obtenez des erreurs, corriger celles-ci et relancer la compilation

Visualisation de la quantité de logique par *entity* du projet :

- Dans la fenêtre "Compilation Report" aller dans :
Analysis & Synthesis => Resource Utilization by Entity
- Voici une liste des valeurs intéressantes :
Logic Cells; LC Registers; LUT-Only LCs; Register-Only LCs; LUT/Register LCs; Carry Chain LCs
- Ces informations sont aussi disponibles dans le fichier "maxv_top.map.rpt" situé dans le répertoire "output_files"

Visualisation des vues RTL et Technologic :

- Ouvrir les vues en allant dans le menu :
Tools => Netlist_Viewers => choisir soit RTL Viewer
Technology Map Viewer

Vérification du type de circuit : Device Assignment

- Ouvrir la fenêtre de sélection du Device en allant dans le menu:
Assignement → Device
- Si nécessaire, modifier le device assignment (idem au point 5 de création d'un nouveau projet)

Programmation du circuit :

1. Lancer le programmeur, aller dans le menu :
Tools → Programmer
2. Si nécessaire configurer le hardware (voir ci-dessous)
3. Sélection du fichier de programmation :
 - clic « AddFile .. »
 - sélectionner le répertoire output_files, puis
 - sélectionner le fichier *.pof, puis cliquer open
 - cocher les cases Program et Verify
4. Lancer la programmation : clic sur « Start »

Configuration du programmeur :

- clic « Hardware Setup »
- double clic « USB-Blaster »
- Dans la fenêtre « Currently selected hardware » : USB-Blaster [x-x]
- cliquer « close »

Device utilisé au REDS :

carte **MaxV 80-25p**:

family: Max V, device 5M570ZF256C5