

Introduction à

"QuestaSim 6.3d"



Auteur et version du manuel

Les premières versions de ce manuel ont été écrites par Michel Salamin et Guillaume Boutillier. Cette version est une mise à jour en prenant compte des modifications qui sont apparues avec les nouvelles versions des outils.

Mise à jour de ce manuel

Je remercie tous les utilisateurs de ce mode d'emploi de m'indiquer les erreurs qu'il comporte, ainsi que les problèmes qui apparaissent avec les logiciels de «Mentor Graphics» en suivant les procédures indiquées dans ce manuel. De même, si des informations semblent manquer ou sont incomplètes, elles peuvent m'être transmises, cela permettra une mise à jour régulière de ce manuel.

Contact

Auteur: Etienne Messerli
e-mail : etienne.messerli@heig-vd.ch
Tel: +41 (0)24 / 55.76.302

Adresse: Institut REDS, Reconfigurable & Embedded Digital Systems
HEIG-VD, Haute Ecole d'Ingénierie et de Gestion du Canton de Vaud
Route de Cheseaux 1
CH-1401 Yverdon-les-Bains
Tel : +41 (0)24 / 55.76.330 (central)
Fax : +41 (0)24 / 55.76.404
E-mail : reds@heig-vd.ch
Internet : <http://www.reds.ch>

Autres personnes de contact :

M. Messerli Etienne	e-mail : etienne.messerli@heig-vd.ch	Tél. +41 (0)24/55.76.302
M. Auberson Olivier	e-mail : olivier.auberson@heig-vd.ch	Tél. +41 (0)24/55.76.259

Table des matières

Chapitre 1 Introduction	1
1-1. Outils pour la conception de circuits	1
1-1.1. QuestaSim (version 6.3d)	2
1-1.2. Precision Synthesis (version 2007a.8)	2
1-1.3. Quartus II (version 7.2)	2
1-2. Organisation des répertoires du projet	2
1-2.1. Répertoire "work"	3
1-2.2. Répertoire "Synth"	3
1-2.3. Répertoire "P_R"	3
1-3. Conventions de noms adoptées au REDS	3
Chapitre 2 Outil de simulation	
QuestaSim 6.3d	5
2-1. Aide	5
2-2. Lancement du simulateur	5
2-3. Sélection du répertoire de travail	6
2-4. Création d'une bibliothèque	6
2-5. Compilation des fichiers sources VHDL	6
2-6. Chargement des fichiers pour la simulation	7
2-7. Préparation en vue de la simulation	7
2-7.1. Ajout des traces dans le chronogramme	7
Ajout d'intercalaire ("divider")	7
2-7.2. Formatage des traces	8
2-7.3. Sauvegarde de la configuration du chronogramme	9
Enregistrement	9
Ouverture	9
2-8. Simulation	9
2-8.1. Paramétrisation du simulateur pour les assertions	9

2-9. Impression du chronogramme	10
2-9.1.Mise en page... ..	10
2-9.2.Impression... ..	11
2-10. Sauvegarde de la configuration du chronogramme	12
<i>Enregistrement</i>	12
<i>Ouverture</i>	13
2-11. Sauvegarde du chronogramme	13
2-11.1.Sauvegarde du fichier (Dataset)	13
<i>Enregistrement</i>	13
<i>Ouverture</i>	13
2-11.2.Sauvegarde de la fenêtre Wave dans un fichier Bitmap	14
2-12. Relancé la simulation après correction	14
2-13. Simulation après Placement-Routage	14
2-13.1. Liaison des librairies Altera avec la bibliothèque work.	15
2-13.2.Compilation des fichiers	15
2-13.3.Lancement de la simulation	15
2-14. Automatisation des étapes de simulation	16
2-14.1.Script pour le lancement d'un projet	16
<i>Ajout de signaux</i>	17
2-14.2.Lancement du fichier script	18
2-15. Réouverture d'un projet	18

Chapitre 3 Outil de synthèse

Precision Synthesis 2007a.8 19

3-1. Lancement du logiciel	19
3-1.1.Conseil du jour	19
3-1.2.Interface de precision	19
<i>Description des onglets:</i>	20
3-2. Création du projet	20
3-3. Choix des descriptions VHDL à synthétiser	21
3-4. Synthèse de la description	21
3-4.1.Choix de la cible	21
3-4.2.Compilation	22
3-4.3.Affectation des broches	23
3-4.4.Synthesize	23
3-5. Réouverture d'un projet	24
3-6. Création du fichier d'assignations des broches	24
3-6.1.Syntaxe d'une assignation	24
3-6.2.Assignation des broches pour la carte EPM 25p - 25p	25

Chapitre 4 Placement-Routage et intégration avec

Quartus II 7.2 27

4-1. Ouverture du projet	27
---------------------------------------	-----------

4-2. Placement et routage	28
4-2.1. Vue RTL	28
4-2.2. Visualisation des rapports	29
4-2.3. Fichier générer	29
4-3. Programmation	29
<i>Branchement de la carte</i>	29
<i>Lancement du programmeur</i>	29
<i>Sélection du "module" de programmation</i>	29
<i>Programmation de la carte</i>	30
4-3.1. Reprise d'un projet	30

Syntaxe pour le lancement d'une console Tcl/Tk sous Linux pour l'utilisation de la carte Console-USB2

- Aller dans le répertoire où se situe la console *.tcl
- Clic droit => Open Terminal Here dès lors une fenêtre terminal s'ouvre
- tapez la commande suivante:
 sudo wish <nom_console.tcl>
 puis saisir mot de passe reds_user

Il est possible d'éviter que la fenêtre terminal soit bloquée, soit:

```
$ sudo wish <nom_console.tcl>
```

Chapitre 1

Introduction

Cette introduction aux logiciels de "MentorGraphics" n'a pas la prétention de couvrir tous les aspects de ceux-ci. D'autre part, ce document comporte quelques indications spécifiquement liées à l'utilisation des logiciels EDA au sein de l'institut REDS de la HEIG-VD. Par contre, il ne se limite pas à résumer le mode d'emploi de divers logiciels, mais introduit une méthode de travail permettant la réalisation complète de circuits numériques, en VHDL.

Remarque: Ce document est prévu avec l'utilisation de configurations et de fichiers scripts personnalisés pour les laboratoires de systèmes numériques donnés au sein du REDS. Pour plus d'information sur ces scripts, voir le document "Configuration des outils EDA au REDS"

1-1 Outils pour la conception de circuits

La conception de circuits met en œuvre quatre outils : un éditeur de texte, un simulateur, un synthétiseur et un placeur-routeur. Tous ces outils sont prévus pour l'utilisation du langage VHDL.

1-1.1 QuestaSim (version 6.3d)

Ce logiciel permet de simuler, avec l'aide d'un banc de test automatique, les descriptions réalisées afin de vérifier si elles respectent bien les contraintes de fonctionnement voulues.

1-1.2 Precision Synthesis (version 2007a.8)

Ce logiciel effectue la synthèse d'une description VHDL en un schéma logique équivalent. Celui-ci est composé de fonctions logiques disponibles dans le circuit cible choisi. Il fournit en sortie une net-list pour l'outil de placement-routage et un fichier VHDL pour la simulation.

1-1.3 Quartus II (version 7.2)

Ce logiciel effectue le placement-routage dans un circuit spécifique. Parmi les outils EDA, celui-ci est le seul qui soit fourni spécifiquement par le fabricant du circuit cible choisi. Dans notre cas, il s'agit de la société "Altera".

Il est à noter que le logiciel Quartus comprend un synthétiseur. Il permet aussi de réaliser la synthèse d'une description VHDL. Cette démarche n'est pas documentée dans le présent manuel.

Cet outil fournit un fichier de programmation du circuit PLD choisi. Il fournit aussi un fichier VHDL avec un fichier SDF qui contient les informations de timing. Ces deux fichiers permettent de réaliser une simulation après placement-routage avec les délais de programmation.

1-2 Organisation des répertoires du projet

Le répertoire du projet contient les différents répertoires. Seul le répertoire "work" est créé automatiquement. Les autres répertoires devront être créés "manuellement" par l'utilisateur.

Les fichiers source VHDL ainsi que les scripts seront placés à la racine. Dans le cas de projet important, il sera nécessaire de créer un répertoire src.

Voir présentation PowerPoint: Outils EDA

Voir présentation PowerPoint: Outils EDA

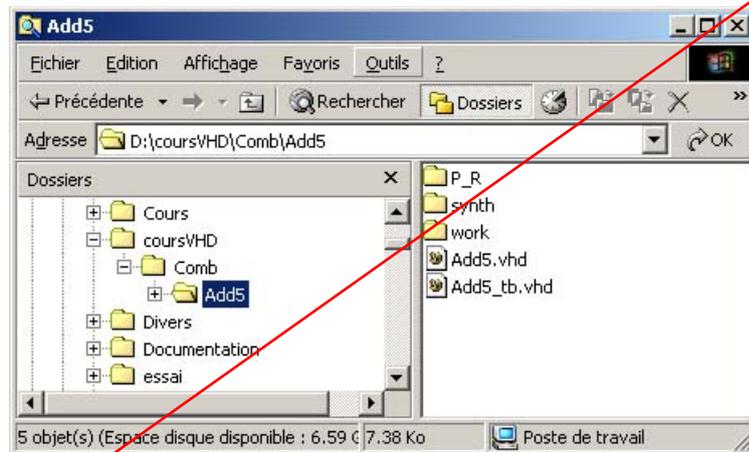


Figure 1- 1. Structure d'un projet au REDS

1-2.1 Répertoire "work"

Ce répertoire contient les fichiers de travail du compilateur de *Questa_Sim*. Ces fichiers permettent de simuler les différents modules du projet.

1-2.2 Répertoire "Synth"

Ce répertoire contient les fichiers VHDL d'entrée et de sortie, pour chaque module, du logiciel de synthèse (logiciel *Precision Synthesis*).

1-2.3 Répertoire "P_R"

Ce répertoire contient les fichiers de sortie, pour chaque module, du logiciel de placement-routage (logiciel *Quartus II*)

1-3 Conventions de noms adoptées au REDS

- *Nom du répertoire du projet*
Nom choisi en fonction du projet, par exemple:
D:\EA1_2\Dupont\Afficheur
- *Nom du composant principal*
Le nom du composant principal (le "top" du design) doit avoir le même nom que le répertoire du projet ajouter du suffixe "_top", soit "Afficheur_top"
- *Lien entre nom du fichier et l'entité*
Il doit toujours y avoir correspondance entre le nom du fichier VHDL et le nom de l'entité utilisée dans ce même fichier. Dans l'exemple ci-dessus, le fichier a le nom "Afficheur_top", donc l'entité aura le même nom soit :

entity Afficheur_top **is**

- *Nom du banc de test automatique (test-bench)*

Le banc de test automatique sera nommé avec le même nom que le module VHDL simulé suivi du suffixe "_tb", soit, pour l'exemple donné ci-dessus "Afficheur_top_tb"

Chapitre 2

Outil de simulation QuestaSim 6.3d

2-1 Aide

Pour obtenir de l'aide supplémentaire sur ce logiciel, il faut aller dans les menus "Help" --> "Questa Documentation - PDF Bookcase" ou "Help" --> "Questa Documentation - InfoHub (HTML)"

2-2 Lancement du simulateur

Pour lancer QuestaSim, dans les laboratoires de systèmes numériques de l'HEIG-VD, il faut aller dans les menus:

"Démarrer" --> "Labo numérique" --> "EDA" --> "QuestaSim6_3d"

Lors du lancement, QuestaSim ouvre deux fenêtres:

- Fenêtre *Workspace*
- Fenêtre *Transcript*

Lors du premier démarrage, la fenêtre "Important Information" s'ouvre. Il faut cocher la case Don't show this dialog again et valider en cliquant sur close.

Sous Linux:
Ouvrir une fenêtre terminal dans le répertoire: <nom_projet>/comp/
Tapez la commande vsim => cela démarre Questa dans le répertoire

2-3 Sélection du répertoire de travail

- Aller dans les menus "File" --> "Change Directory";
- Sélectionner le répertoire de travail `<nom_projet>/comp/`
- Valider en cliquant sur "OK".

Sous Linux: Déjà configuré correctement si vous avez lancé vsim depuis le répertoire de travail

2-4 Création d'une bibliothèque

Si cela n'est pas déjà fait, il faut créer la bibliothèque de travail pour QuestaSim. Par défaut cette librairie est nommée "work". Voici la marche à suivre :

- Aller dans les menus "File" --> "New" --> " Library...";
- Sélectionner l'option "a new library and a logical mapping to it";
- Dans le champ "Library Name", laisser le nom "work";
- Dans le champ "Library physical Name", laisser le nom "work";
- Valider en cliquant sur "OK".

La bibliothèque est créée dans le répertoire de travail.

2-5 Compilation des fichiers sources VHDL

- Cliquer sur le bouton  ou aller dans les menus "Compile" --> "Compile...".
- Sélectionner le fichier contenant la description VHDL à compiler `../src/` puis cliquer sur le bouton "Compile". Répéter cette opération autant de fois qu'il y a de fichiers VHDL à compiler, y compris le fichier de simulation (test-bench), en commençant par les modules de bas niveau et en remontant la hiérarchie (Test-bench compilé en dernier) `../src_tb/`
En cas d'erreur lors de la compilation, il faut faire un double-clic sur l'erreur. Le fichier correspondant est ouvert à l'endroit de l'erreur. Corriger l'erreur, sauver le fichier et réessayer de compiler celui-ci.
- Une fois les compilations effectuées, cliquer sur le bouton "Done".

Remarque: Il est possible d'automatiser la compilation et le chargement des fichiers par l'utilisation de script. Voir § 2-14 Automatisation des étapes de simulation.

2-6 Chargement des fichiers pour la simulation

- Cliquer sur le bouton  ou aller dans les menus "Simulate" --> "Simulate..";
- Dans l'onglet "Design" sélectionner la bibliothèque "work";
- Dans la partie inférieure de la fenêtre, choisir l'entité hiérarchique de niveau le plus haut (en principe le test bench);
- Cliquer sur "OK".

Si une simulation est déjà en cours, on peut la relancer comme expliqué au § 2-12, "Relancé la simulation après correction".

2-7 Préparation en vue de la simulation

Ajout de la fenêtre "wave" en allant dans le menus "view" --> "wave"

2-7.1 Ajout des traces dans le chronogramme

Sélectionner les signaux dont on désire garder la trace, dans la fenêtre "Objects" puis les déplacer, à l'aide de la souris, dans la fenêtre "wave". Vous pouvez également sélectionner tous les signaux en allant dans le menu "Edit" --> "Select All" de la fenêtre "Objects"

Il est possible de se déplacer dans la structure du composant simulé en sélectionnant les différents entités dans la fenêtre "Workspace" (situé dans la fenêtre principale). La fenêtre "signals" montre les signaux de l'entité sélectionnée.

Ajout d'intercalaire ("divider")

Il est possible d'ajouter des intercalaires entre les différentes traces afin d'améliorer la lisibilité du chronogramme.

Pour ajouter un intercalaire effectuer un clic droite de la souris dans la fenêtre "wave" et sélectionner le menu "Insert divider". Le dialogue suivant apparaît:

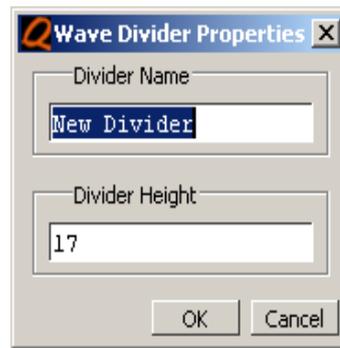


Figure 2- 1 : Création d'un intercalaire

Dans ce dialogue, remplacer le texte "New Divider" par une chaîne de caractères caractérisant l'intercalaire. Cette chaîne est indicative et peut donc contenir n'importe quels caractères imprimables.

2-7.2 Formatage des traces

Pour effectuer la mise en forme d'une trace dans le chronogramme, il faut effectuer un clic droit de la souris et sélectionner le menu "Properties..." sur le nom du signal la représentant dans la fenêtre "wave". Le dialogue suivant apparaît:

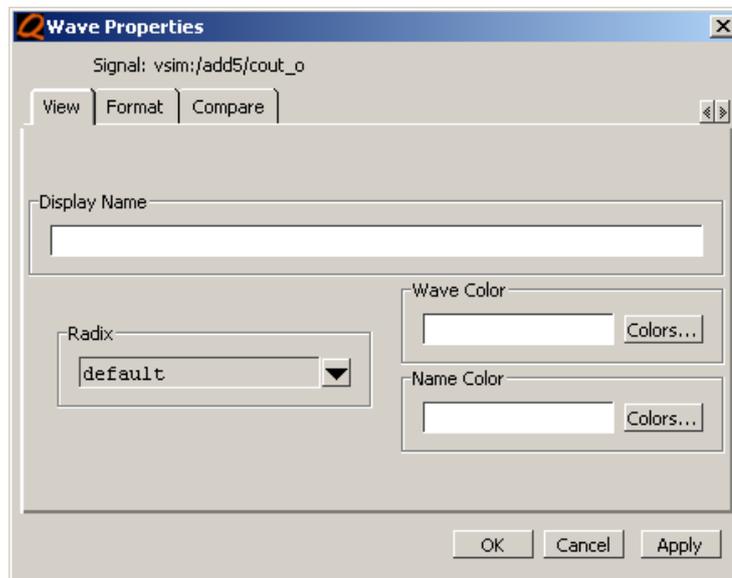


Figure 2- 2 :

Les champs intéressants permettent de spécifier:

- Radix la base de la représentation du signal
Ce qui permet, par exemple, de représenter la valeur entière d'un compteur à l'aide du choix "Unsigned".
- Display Name le nom à afficher à la place du nom du signal

2-7.3 Sauvegarde de la configuration du chronogramme

Afin de retrouver le même environnement de travail entre deux sessions de simulation, il est possible de sauvegarder la configuration du chronogramme, soit les signaux et les intercalaires avec leurs caractéristiques (name, radix,...)

Enregistrement

Il faut sélectionner la fenêtre "wave" (devient active) puis aller dans les menus "File" --> "Save". une fenêtre de dialogue "Save Format" s'ouvre, choisir le nom du fichier *.do (exemple: wave_add5.do)

Ouverture

Il faut aller dans les menus "File" --> "Load". Une fenêtre "Open Format" s'ouvre, choisir le fichier *.do et l'ouvrir.

2-8 Simulation

Aller dans les menus "Simulate" --> "Run" --> "Run -all" de la fenêtre principale ou cliquer sur le bouton  se trouvant dans la fenêtre "wave" afin d'effectuer la simulation.

La simulation s'arrêtera dès que les valeurs des entrées et des sorties resteront constantes, typiquement lorsqu'un "wait;" est rencontré dans la description VHDL du test bench. D'autre par celle-ci est aussi stoppée si le niveau de sévérité d'une assertion est atteinte. Le paragraphe suivant indique comment configurer le simulateur.

2-8.1 Paramétrisation du simulateur pour les assertions

Aller dans les menus "Simulate" de la fenêtre principale --> "Runtime Options...".

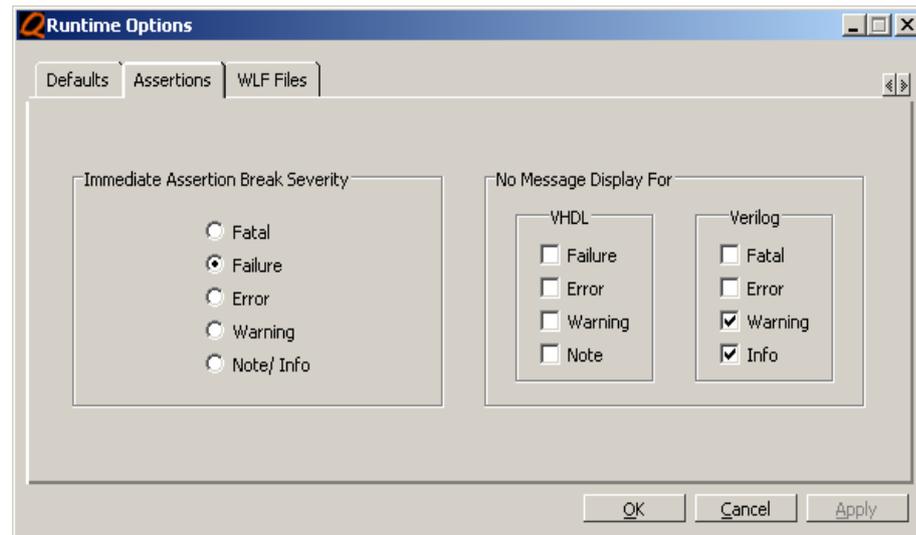


Figure 2- 3 : Paramètres du simulateur

Sous l'onglet "Assertions", il est possible d'indiquer au simulateur depuis quel niveau de gravité il doit suspendre la simulation (spécifié dans la zone "Break on Assertion") ainsi que les instructions "assert" qu'il doit ignorer (spécifié dans la zone "No Message Display For").

2-9 Impression du chronogramme

2-9.1 Mise en page...

Cliquer sur la fenêtre "wave" puis aller dans les menus "File" --> "Page setup...".

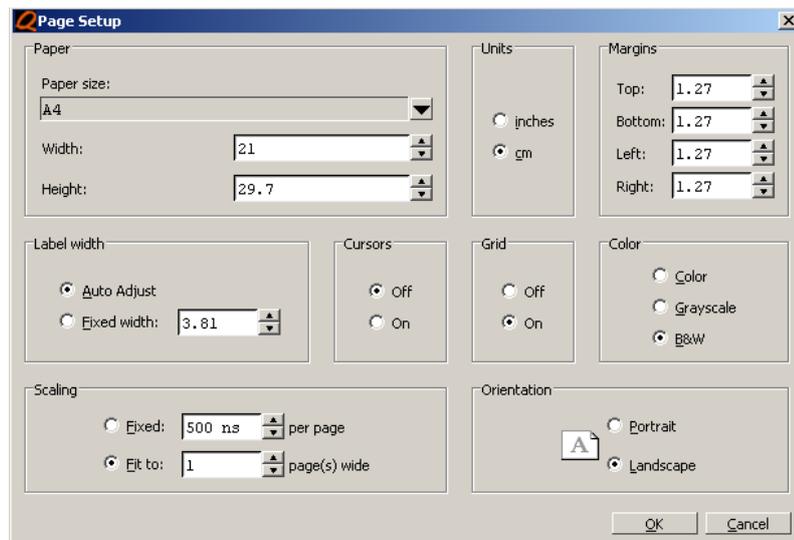


Figure 2- 4 : Paramètres pour l'impression

Dans le champs Paper on peut spécifier le format A4 ou A3. Si le message Unregonized paper size s'affiche, sélectionner "ISO A4 210x297mm"

Le paramètre le plus intéressant dans ce dialogue est la mise à l'échelle (en anglais "Scaling"). Il permet de spécifier selon l'option choisie:

- Fixed ? per page la durée maximale de simulation à afficher par page
- Fit to ? page(s) wide le nombre de pages sur lequel le chronogramme doit être imprimé

2-9.2 Impression...

Aller dans les menus "File" --> "Print" depuis la fenêtre "Wave".

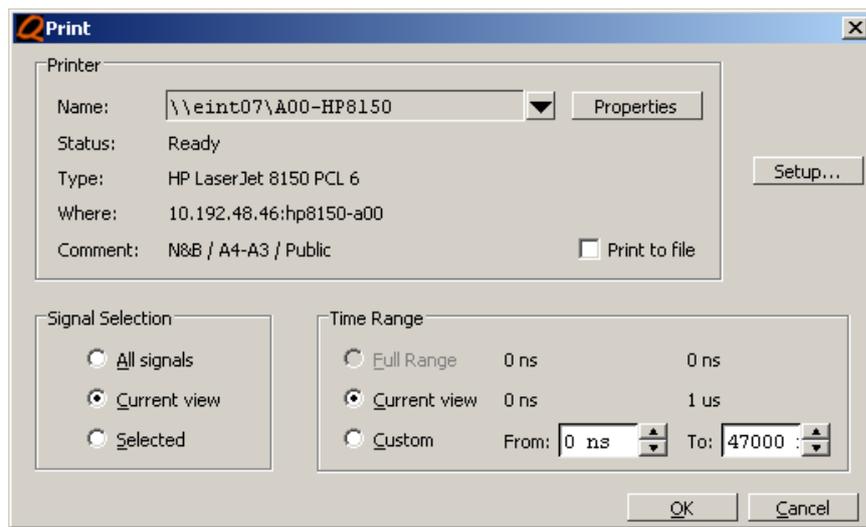


Figure 2- 5 : Dialogue d'impression d'un chronogramme

Dans ce dialogue il est possible de spécifier quels sont les signaux, se trouvant dans la fenêtre contenant le chronogramme, à imprimer:

- All signals imprime tous les signaux
- Current view imprime les signaux qui sont visibles dans la fenêtre
- Selected imprime les signaux qui sont sélectionnés

Il est également possible de spécifier l'intervalle de temps à imprimer:

- Full Range imprime les traces depuis le début de la simulation jusqu'au dernier instant simuler
- Current view imprime les traces sur l'intervalle visible dans la fenêtre
- Custom imprime les traces sur l'intervalle spécifié dans les deux champs suivants

2-10 Sauvegarde de la configuration du chronogramme

Afin de retrouver le même environnement de travail entre deux sessions de simulation, il est possible de sauvegarder la configuration du chronogramme, soit les signaux et les intercalaires avec leurs caractéristiques (name, radix,...)

Enregistrement

Il faut aller dans les menus "File" --> "Save" --> "Format..." de la fenêtre Wave.

Ouverture

Il faut aller dans les menus "File" --> "Load" --> "Format..." de la fenêtre Wave.

2-11 Sauvegarde du chronogramme

Il y a deux méthodes pour sauvegarder un chronogramme:

- La sauvegarde du fichier contenant le chronogramme (Dataset), cela permet d'analyser le chronogramme à un autre moment
- Sauvegarde dans un fichier graphique pour la documentation

2-11.1 Sauvegarde du fichier (Dataset)

Enregistrement

Les traces contenues dans le chronogramme sont mémorisées dans le fichier "wsim.wlf" se trouvant à la racine du répertoire du travail. Ce fichier est créé (ou remplacé s'il existe déjà) lorsque l'on quitte le logiciel Model-Sim ou que l'on relance la simulation (avec les menus "Simulate" --> "Run" --> "Restart...")

Pour mémoriser les traces du chronogramme, il faut copier le fichier "wsim.wlf" et lui donner un autre nom.

Ouverture

Pour afficher un chronogramme qui a été "sauvegardé", il faut sélectionner la fenêtre wave pour la rendre active, ensuite aller dans les menus "File" --> "Open" de la fenêtre principale. Le dialogue suivant apparaît:

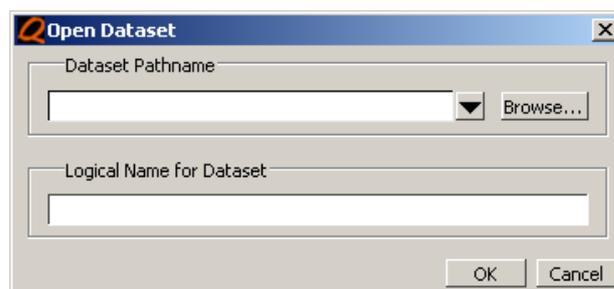


Figure 2- 6 : Ouverture d'un chronogramme

Cliquer sur le bouton "Browse...", ouvrez le fichier "*.wlf" que vous avez préalablement sauvegardé puis valider en cliquant sur le bouton "OK".

Ajouter les traces dans le chronogramme de la même manière que vue précédemment.

2-11.2 Sauvegarde de la fenêtre Wave dans un fichier Bitmap

ModelSim permet de sauvegarder l'état présent d'un chronogramme dans un fichier graphique au format bitmap.

Pour ce faire, il faut sélectionner la fenêtre wave pour la rendre active et aller dans les menus "File" --> "Export" --> "Image..."

2-12 Relancé la simulation après correction

Il est possible de relancer une simulation après une correction de la description VHDL sans quitter ModelSim.

Lorsque le fichier VHDL est corrigé, il faut recompiler les fichiers comme indiqué au § 2-5, "Compilation des fichiers sources VHDL".

Ensuite, relancer la simulation (du même système), en cliquant sur le bouton  ou aller dans les menus "Simulate" --> "Run" --> "Restart..."

Ensuite valider en appuyant sur le bouton "Restart" et relancer la simulation à l'aide du bouton ("Run all").

Lorsque l'on relance la simulation, les derniers fichiers compilés du système sont automatiquement rechargés pour être simulé.

2-13 Simulation après Placement-Routage

L'application *Quartus II*, lors du placement-routage, a créé un ensemble de fichiers pour préparer la simulation avec les retards. Ces fichiers sont placés dans le dossier:

```
<DossierProjet>\P_R\Simulation\modelSim\
```

Le fichier *.vho contient la nouvelle description VHDL à simuler et le fichier *_vhd.sdo contient les retards.

La simulation a aussi besoin d'une librairie pour la famille de FPGA utilisée. Dans notre cas, celle-ci est fournie par Altera et se situe dans le répertoire suivant:

```
C:\EDA\Altera\Quartus\v7_2\quartus\eda\sim_lib
```

Pour chaque famille de circuit, il y a des fichiers:

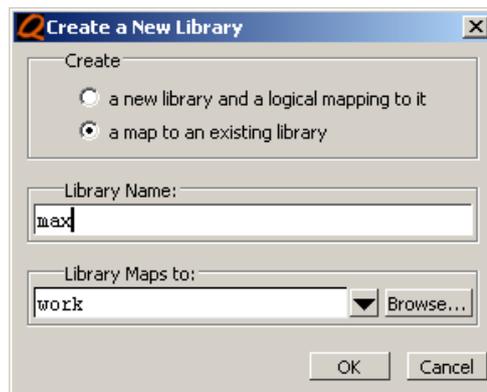
- **_atoms.vhd
- **_component.vhd

Les fichiers ** sont dépendants de la cible choisie, par exemple max_atoms.vhd et max_components.vhd pour une max7000S

Les paragraphes suivants donnent les étapes à suivre pour utiliser cette librairie.

2-13.1 Liaison des librairies Altera avec la bibliothèque *work*.

- Aller dans les menus "File" --> "New" --> "Library...";
- Sélectionner l'option "a map to an existing library";
- Dans le champ "Library Name", donner le nom du circuit, par exemple max pour un max 7000S. Pour connaître le nom à utiliser, il faut aller voir dans le fichier *.vho (sous library "name");
- Dans le champ "Library Maps to", laisser le nom "work";
- Valider en cliquant sur "OK".



2-13.2 Compilation des fichiers

Compiler les fichiers dans l'ordre suivant:

Dans le dossier C:\EDA\Altera\Quartus\v7_2\quartus\eda\sim_lib

- **_atoms.vhd
- **_components.vhd

Les fichiers ** sont dépendants de la cible choisie, par exemple max_atoms.vhd et max_components.vhd pour une max7000S

Dans le dossier <DossierProjet>\P_R\Simulation\modelSim\

- *.vho
- Adapter la ligne de configuration du composant à simuler dans le fichier de simulation (test-bench) selon le nom de l'entité (ne doit pas changer) et l'architecture (généralement structure). exemple:

```
-- for all : add5 use entity work.Add5(flot_Don) --simulation VHDL
```

```
for all : Add5 use entity work.Add5(structure) -- simulation P_R
```

- puis compiler à nouveau le fichier de simulation (test-bench)

2-13.3 Lancement de la simulation

- Cliquer sur le bouton  ou aller dans les menus "Simulate" -->

- "Start Simulation...";
- Dans l'onglet "Design" ouvrir la bibliothèque "work";
 - Dans la partie inférieure de la fenêtre, choisir l'entité hiérarchique de niveau le plus haut (en principe le test bench);
 - Dans l'onglet "SDF" ajouter le fichier de spécification des timings "*.sdf". Ce fichier se trouve dans le dossier :
<DossierProjet>\P_R\Simulation\modelSim\
 - Cliquer sur "OK".

La suite de la simulation se déroule de la même manière que décrite précédemment (cf. § 2-6, "Chargement des fichiers pour la simulation").

2-14 Automatisation des étapes de simulation

Il est possible d'utiliser des fichiers scripts (fichiers "*.do" ou "*.tcl") afin d'automatiser l'ouverture des fenêtres, l'ajout de signaux dans le chronogramme, le formatage de ceux-ci ainsi que le lancement de la simulation.

2-14.1 Script pour le lancement d'un projet

Voici un script qui permet de générer un projet automatiquement. Création de la librairie, compilation et lancement de la simulation.

```
# Selection du repertoire de travail
cd D:/Dupond/DFE

# Creation de bibliotheque
vlib work

# Compilation des fichiers VHDL
vcom -93 DFEs.vhd
vcom -93 DFE_tb.vhd

# Chargement de la simulation
vsim DFE_tb

# Ouverture des fenetres
view objects
view wave

# Ajout des signaux
add wave /*

# Lancement de la simulation
```

```
run -all
```

Exemple 2- 1 : Script pour le lancement d'un projet

La commande "vmap" définit un lien entre une library et un répertoire.
Syntaxe: vmap <nom_Lib> <nom_rep>

La commande "vcom" compile les sources VHDL avec une library spécifique. Syntaxe: vcom [-norme] [-work <library_name>] <filename>

[-norme] spécifie la norme VHDL (87, 93, 2002)

[-work<library_name>] spécifie le nom de la librairie à utiliser, par défaut la librairie Work est utilisée.

<filename> fichier à compiler

exemple: vcom -93 -work work add5.vhd add5_tb.vhd

La commande "vsim" sert à charger la simulation

Syntaxe:

vsim[-t[<multiplier>]<time_unit>]<library_name>.<design_unit>

<design_unit> nom de l'entité du test bench à simuler

-t option permettant de changer le pas de simulation (par défaut de 1ns).

exemple: vsim -t 100ps work.add5_tb

Ajout de signaux

Les commandes pour l'ajout de signaux dans un chronogramme depuis un script:

- add wave A
Ajoute le signal "A" du module courant (qui est sélectionné dans la fenêtre "structure").
- add wave /A
Ajoute le signal "A" du module hiérarchique le plus haut (donc celui du module simulé).
- add wave /i0/A
Ajoute le signal "A" du module "i0" qui est instancié dans le module simulé.
- add wave /*
Ajoute tous les signaux du module hiérarchique le plus haut (module simulé).
- add wave -r /*
Ajoute tous les signaux du module simulé ainsi que des composants instanciés dans celui-ci

2-14.2 Lancement du fichier script

Pour exécuter un script qui a été précédemment créé, il faut aller dans les menus "Tool" --> "TCL" --> "Execute Macro...". Il faut préalablement sélectionner le répertoire de travail si cela n'a pas été fait (voir §2-3 Sélection du répertoire de travail)

2-15 Réouverture d'un projet

Pour ouvrir à nouveau un projet qui avait été précédemment compilé:

- a. Aller dans les menus "File" --> "Change Directory...";
- b. Se déplacez dans le répertoire de travail de ce projet;
- c. Cliquez sur le bouton "Ouvrir".

Puis suivre les étapes depuis le § 2-6, "Chargement des fichiers pour la simulation".