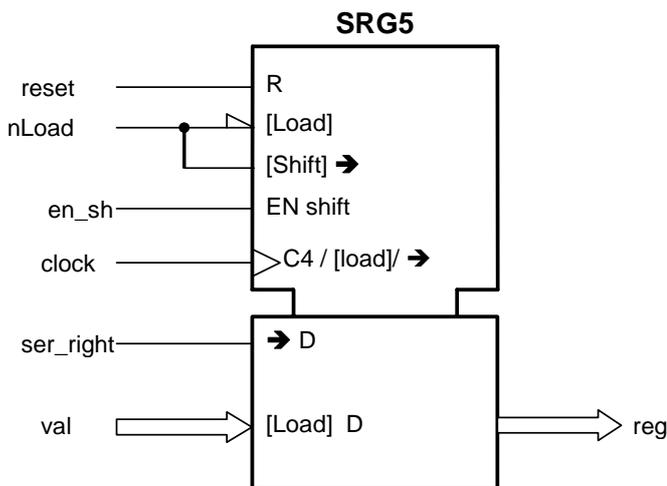


Exercice 80 :

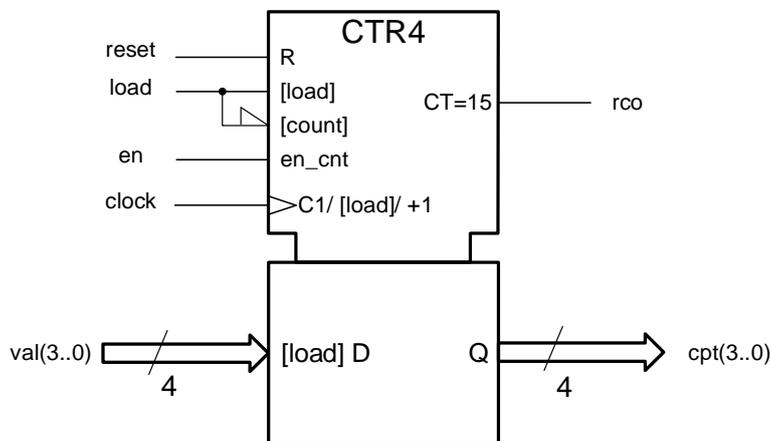
Soit le symbole du registre à décalage suivant :



- a) Analysez et expliquez le fonctionnement du registre à décalage ci-dessus. Donnez la table des fonctions synchrones du registre à décalage
- b) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du registre à décalage ci-dessus (inclus schéma fonctionnel du décodeur d'états futurs)
- c) *Donnez la description en VHDL synthétisable du registre*

Exercice 85:

Soit le symbole du compteur suivant :



- a) Analysez et expliquez le fonctionnement du compteur. Donnez la table des fonctions synchrones
- b) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
- c) *Donnez la description, en VHDL synthétisable, de ce compteur selon votre décomposition*

Exercice 88: (PPT exe III 4)

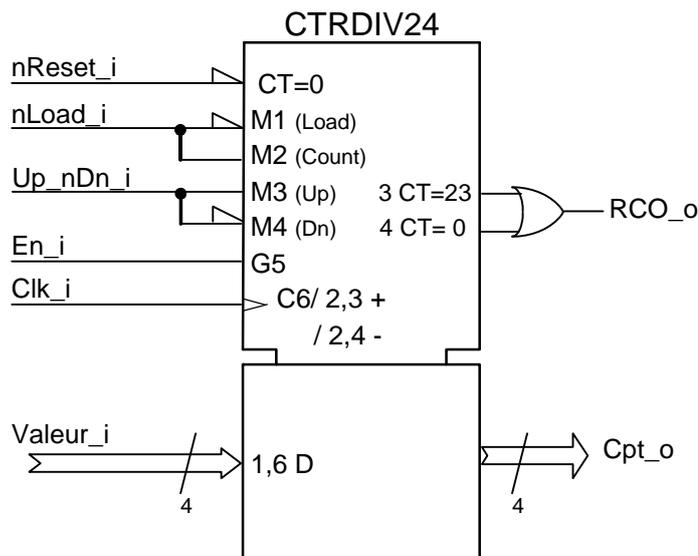
Soit un compteur ayant le fonctionnement suivant :

- lorsque l'entrée LONG_H est inactive, le compteur parcourt la séquence $2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7$.
- lorsque l'entrée LONG_H est active, le compteur parcourt la séquence $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 10$.
- Lorsque l'entrée COND5_H est inactive le compteur s'arrête à l'état 4, sinon le compteur parcourt l'une des séquences définies ci-dessus.

- Analyser le fonctionnement et donnez les fonctions synchrones nécessaires au fonctionnement du système
- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
- Donner ensuite la description, en VHDL synthétisable, de ce compteur

Exercice 91:

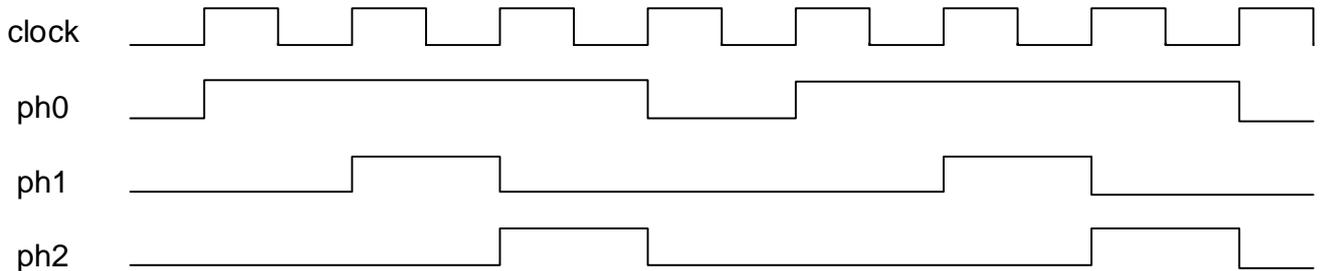
Nous souhaitons réaliser un compteur pour les heures d'une horloge, celui-ci doit donc être modulo 24. Il est prévu que nous puissions ajuster l'heure, il pourra donc réaliser l'incréméntation ou la décrémentation. Voici le symbole CEI de ce compteur :



- Analysez et expliquez le fonctionnement du compteur ci-dessus.
- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du compteur v ci-dessus (inclus schéma fonctionnel du décodeur d'états futurs et de sorties)
- Donnez la description en VHDL synthétisable du compteur

Exercice 92: Réaliser un générateur de séquence selon la spécification ci-dessous. Les signaux doivent être sans aléas, cela signifie qu'ils doivent correspondre directement à une sortie de flip-flop.

Séquence à générer:



- Analysez le fonctionnement du générateur de séquence ci-dessus. Donnez la table des fonctions synchrones
- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du générateur de séquence ci-dessus
- Donnez la description en VHDL synthétisable du générateur de séquence

Exercice 93:

Soit un compteur ayant le fonctionnement suivant :

- lorsque l'entrée *count* est active, le compteur parcourt la séquence $2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7$.
 - lorsque l'entrée *count* est inactive, le compteur parcourt la séquence $10 \rightarrow 9 \rightarrow 8 \rightarrow \dots \rightarrow 1 \rightarrow 0$.
 - Lorsque l'entrée *stop4* est active le compteur s'arrête à l'état 4, sinon le compteur parcourt l'une des séquences définies ci-dessus.
- Analyser le fonctionnement et donnez les fonctions synchrones nécessaires au fonctionnement du système
 - Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
 - Donner ensuite la description, en VHDL synthétisable, de ce compteur