

Les systèmes embarqués

Les mémoires

heig-~~vd~~

Haute Ecole d'Ingénierie et de Gestion
du Canton de Vaud

~~RED~~S

Etienne Messerli

mai 2019



This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 Unported License

Caractéristiques des mémoires

- But : conserver des informations
- 3 modes de fonctionnement :
 - accès en lecture *Read* pour obtenir l'information enregistrée dans une case spécifiée (adresse)
 - accès en écriture *Write* pour enregistrer une information dans une case spécifiée (adresse)
 - aucun accès à la mémoire (*maintien*)

Taille des informations

- Le *bit* : unité élémentaire d'information (0 ou 1)
- L'octet ou *byte* : paquet de 8 bits que l'on peut manipuler ensemble
 - on l'associe souvent à un caractères ASCII (*char*)
 - peut représenter un nombre, vecteur, autres
- Le mot ou *word* : paquet de bits multiple de 8 que l'on peut manipuler ensemble
 - généralement de 16 ou 32 bits. Il n'y a pas de standard !
 - fréquemment: word à 16 bits, dword (double word) à 32 bits
- Poids des bits dans un nombre entier:
 - Le bit de poids fort d'un nombre est le bit de gauche en anglais: MSB pour *most significant bit*
 - Le bit de poids faible d'un nombre est le bit de droite en anglais: LSB pour *least significant bit*

Les unités des mémoires

- Kilo, paquet de 1'024 éléments (2^{10})
 - 1K byte = 1024 bytes
- Méga, paquet de 1'048'576 éléments, (2^{20})
 - 1M byte = 1024 K bytes = 1'048'576 bytes
- Giga, paquet de 1'073'741'824 éléments (2^{30})
 - 1G byte = 1024 M bytes = 1'048'576 K bytes
- Tera, paquet de 1'099'511'627'776 éléments (2^{40})
 - 1T byte = 1024 G bytes = 1'048'576 M bytes
- Convention pour l'indication de bit ou byte :
 - 1K**b** 1 kilo **bits**
 - 1K**B** 1 kilo **bytes**

Les unités des mémoires

- Puissance métrique et binaire !

Valeur	Métrique		Valeur	Binaire		
1000	kB	kilobyte	1024	2 ¹⁰	kiB	kibibyte
1000 ²	MB	megabyte	1024 ²	2 ²⁰	MiB	mebibyte
1000 ³	GB	gigabyte	1024 ³	2 ³⁰	GiB	gibibyte
1000 ⁴	TB	terabyte	1024 ⁴	2 ⁴⁰	TiB	tebibyte
1000 ⁵	PB	petabyte	1024 ⁵	2 ⁵⁰	PiB	pebibyte
1000 ⁶	EB	exabyte	1024 ⁶	2 ⁶⁰	EiB	exbibyte
1000 ⁷	ZB	zettabyte	1024 ⁷	2 ⁷⁰	ZiB	zebibyte
1000 ⁸	YB	yottabyte	1024 ⁸	2 ⁸⁰	YiB	yobibyte

- Disques durs vendus avec des tailles en décimal
1 TiB = 1'024 GiB = 1099 GigaBytes => noté 1099 Go !

Les types de mémoires

- Les mémoires "vives"
 - informations perdues à la mise hors tension
 - lecture et écriture en cours d'utilisation
- Les mémoires "mortes"
 - informations conservées à la mise hors tension
 - lecture en cours d'utilisation
 - écriture (« programmation ») durant la fabrication de la mémoire ou écriture **particulière** durant fonctionnement du système qui la contient, implique un **effacement électrique**!

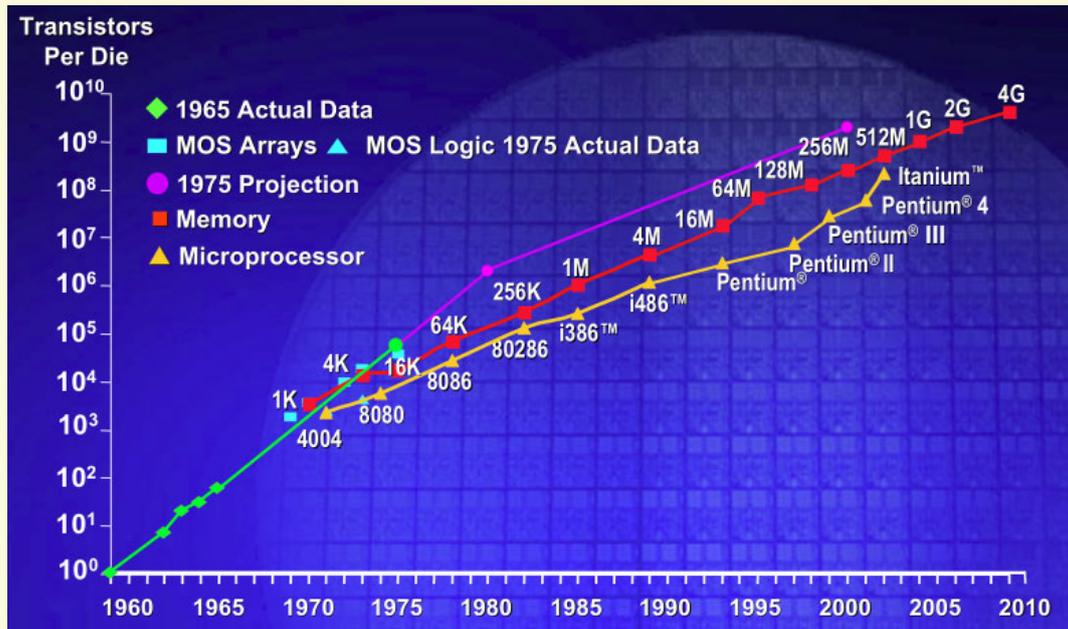
Les types de mémoires

- Mémoires volatiles (vives)
 - **RAM** (*random-access memory*): mémoire vive, volatile
 - **SRAM** static random access memory
 - **DRAM** dynamic random access memory
- Mémoires non-volatiles (mortes)
 - **ROM**† *read-only memory*
 - **PROM**† *programmable read-only memory*
 - **EPROM** ou **UV-EPROM** *erasable programmable read-only memory*
 - **EEPROM** ou **E2PROM** *electrically EPROM*
 - **Flash memory**
 - **FeRAM, MRAM, PRAM**

Les types de mémoires volatiles

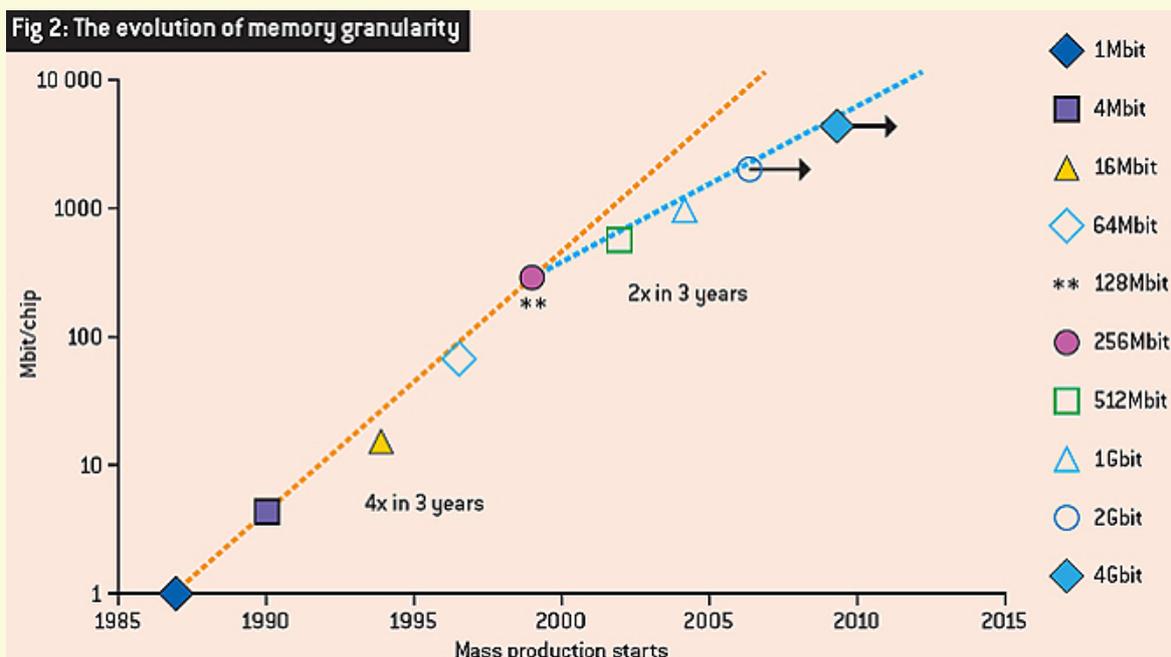
- **RAM** (*random-access memory*): mémoire vive, volatile
 - **SRAM** static random access memory:
http://en.wikipedia.org/wiki/Static_random-access_memory
L'information est conservée dans des transistors. Elle est maintenue tant que la tension d'alimentation est présente
 - **DRAM** dynamic random access memory
http://en.wikipedia.org/wiki/Dynamic_random-access_memory
L'information est conservée dans un condensateur et maintenue tant que la tension d'alimentation est présente.. Il faut recharger (rafraîchir) périodiquement les cellules de mémoire.
 - **SDRAM** Synchronous dynamic RAM
 - **DDR SDRAM** Double data rate Synchronous dynamic RAM
DDR 100MHz, DDR2 133MHz, DDR3 166MHz, DDR4 200MHz
 - En développement: **T-RAM, Z-RAM, TTRAM**

Evolution des mémoires (chip)



Article "Moore's Law: More or Less?" de Neil J. Gunther, site Computer Measurement Group, Voir: http://www.cmg.org/measureit/issues/mit41/m_41_2.html

Evolution des mémoires (chip)



DRAM refresher: Problems the technology is set to encounter, Chris Edwards, site newelectronics voir:

<http://www.newelectronics.co.uk/electronics-technology/dram-refresher-problems-the-technology-is-set-to-encounter/34922/>

Caractéristiques des SDRAM

- SDRAM
 - SDRAM PC100 à 100MHz, PC 133 à 133MHz
- DDR1, 2 et 3

Type	Data bus	Bank	Bus clock MHz	Data rate MT/s	Max capacity
DDR	64 bits	1	100 to 200	200 to 400	1 Gbits
DDR2	64 bits	2	200 to 533	400 to 1066	4 Gbits
DDR3	64 bits	4	400 to 1066	800 to 2133	8 Gbits

- Transfert sur les deux flancs du clock
Data rate = 2 * Bus clock
- A chaque évolution, le nombre de rangée de circuits double. Dès lors le débit double.

voir: http://en.wikipedia.org/wiki/DDR_SDRAM

Les types de mémoires non-volatiles ...

- **ROM†** contenu définit lors de la fabrication
- **PROM†** contenu programmable une seule fois (fusible)
- **EPROM** ou **UV-EPROM** contenu programmable électriquement et effaçable avec rayons
- **EEPROM** contenu (mot) programmable et effaçable électriquement (quelques millisecondes)
- **Flash memory** contenu programmable électriquement mot par mot et effaçable électriquement par bloc.
 - Type: **NOR Flash**, **NAND Flash**

http://en.wikipedia.org/wiki/Non-volatile_memory

... mémoires non-volatiles

- **FeRAM** ou **FRAM** Ferroelectric RAM
- **MRAM** Magnetoresistive RAM
- **PRAM** Phase-change memory
composed by *chalcogenide* glass, which can be "switched" between two states, crystalline and amorphous.
- En développement:
 - CBRAM, SONOS, RRAM, Racetrack memory, NRAM, Millipede

Nouvelle mémoire: STT-RAM

STT-RAM (spin-transfer torque random access memory)

- It is a new memory technology that offers a solution to these critical issues. Of all the major existing and prototype memory technologies, it is the only one that has the capacity, endurance and speed of working memory (DRAM and SRAM), in addition to being non-volatile and requiring low writepower (Figure 1).

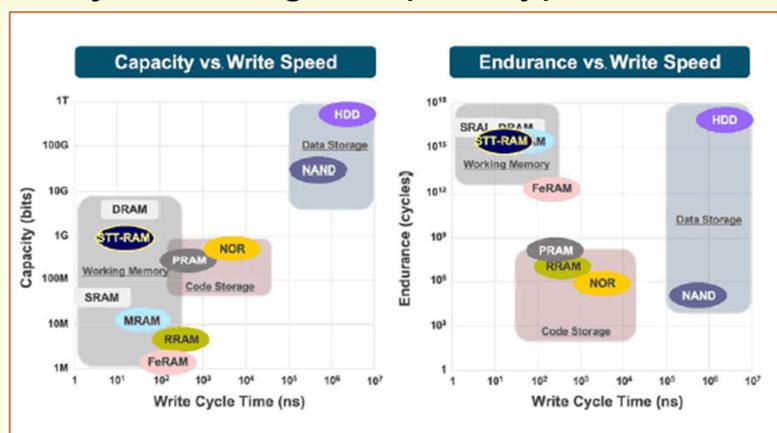


Figure 1. Comparison of major existing and prototype memory technologies. STT-RAM has the capacity, endurance and density of working memory (DRAM and SRAM), plus it is non-volatile and has low power consumption.

Explications:

https://fr.wikipedia.org/wiki/Transfert_de_spin

source:

http://www.future-fab.com/documents.asp?d_ID=4750

Application STT-RAM

Exemple d'application proposée pour la nouvelle génération de mémoire STT-RAM

source:
[http://www.future-fab.com/
documents.asp?d_ID=4750](http://www.future-fab.com/documents.asp?d_ID=4750)

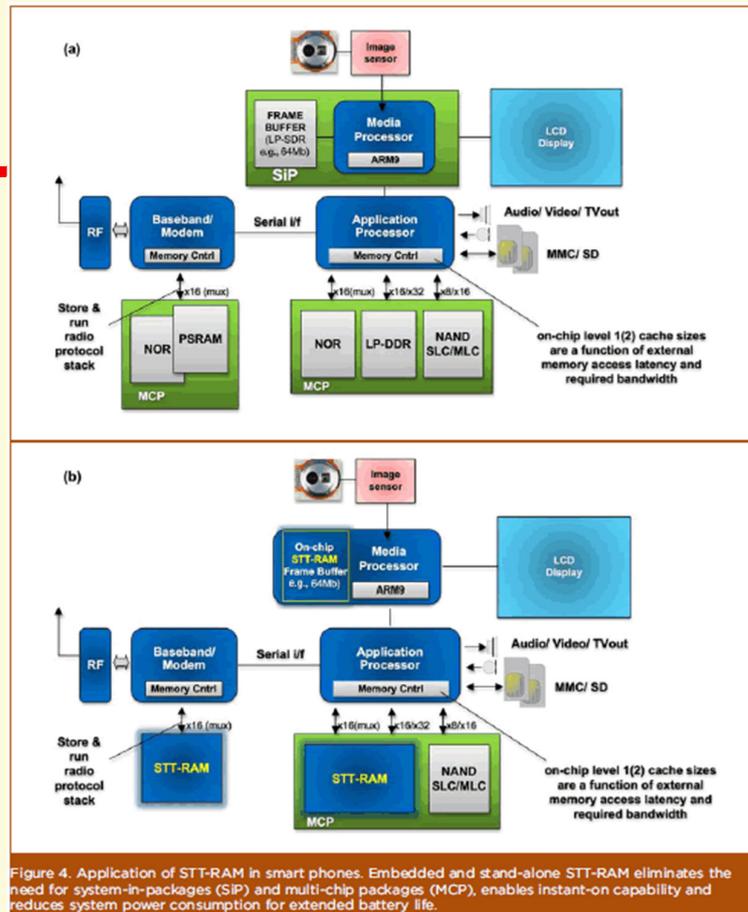


Figure 4. Application of STT-RAM in smart phones. Embedded and stand-alone STT-RAM eliminates the need for system-in-packages (SIP) and multi-chip packages (MCP), enables instant-on capability and reduces system power consumption for extended battery life.

Nouvelle mémoire: MRAM

MRAM (magnetic random access memory)

- As a second-generation magnetic random access memory (MRAM) technology that is scalable to future technology nodes, it offers system designers the ability to develop new products with new architectures, high performance and very low power consumption. It has the potential to revolutionize the performance of electronic products in many areas, create new sectors in the semiconductor industry, and give rise to entirely new products not yet envisaged.

source: http://www.future-fab.com/documents.asp?d_ID=4750

Nouvelle mémoire: ReRAM

ReRAM (resistive random access memory)

- Basé sur une résistance et un transistor
- Non volatile
- Faible consommation
- Temps d'accès très rapide
- En cours de développement, bientôt disponible

Le futur ? Oui d'après HP

source: http://www.future-fab.com/documents.asp?d_ID=4750

Utilisation SRAM

- Capacités moyenne 4Kb-128Mb
- Rapide jusqu'à 600 MHz
 - pas de latence
 - annoncé jusqu'à 1 GHz
- Prix élevé des circuits SRAM
- mémoire cache pour processeurs
 - SRAM interne au chip, la mémoire fonctionne à la fréquence du CPU!

Utilisation DRAM

- Grandes capacités jusqu'à 128 Gbits
- Rapides 500MHz
 - attention : latence importante
- Limitations accès (pages)
- Rafraichissement
- Mémoire centrale des ordinateurs

Différents types:

- DRAMs asynchrones
- SDRAMs synchrones

Utilisation mémoires Flash

- NAND 512 Gbits ou +
 - Haute capacité
 - Contraintes : accès, correction erreur, ...
 - Rapide en effacement et écriture
- NOR 2 Gbits
 - Accès aléatoire rapide
 - Plus rapide en lecture
 - Plus chère à capacité équivalente

Utilisation mémoires Flash

- NAND

- Applications utilisant une grande capacité de plusieurs dizaines de GBytes, accès rapide en écriture
 - SDCARD appareil photo rapide
 - Clé USB, SSD

- NOR

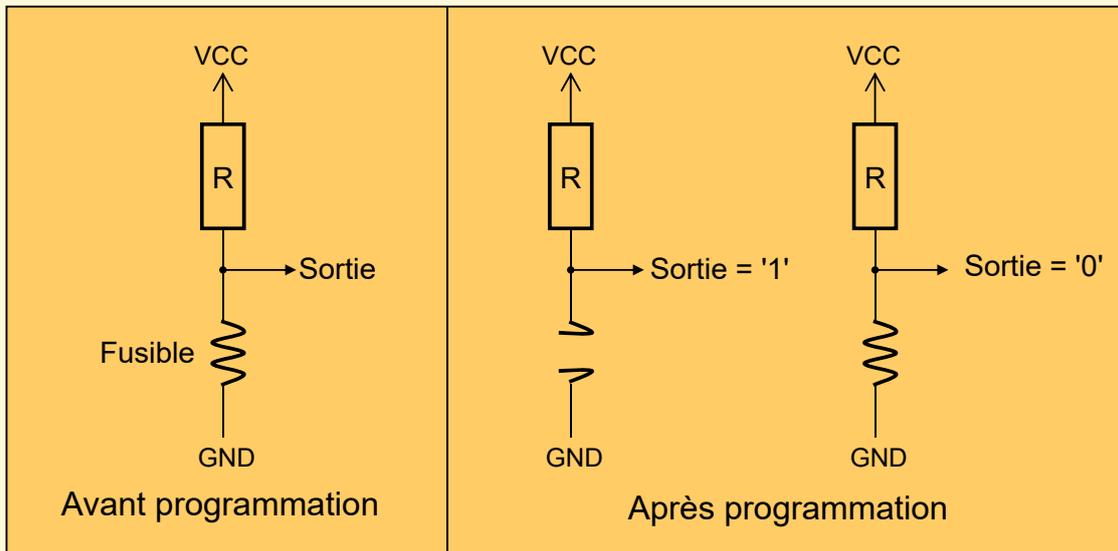
- Applications utilisant des accès en lecture, capacités de quelques centaines de MBytes
 - Configuration des FPGA ou DSP
 - Téléphones portables pour contenir l'OS

Utilisation EEPROM

- Petites capacités 1Kbits à 1Mbits
- Sauvegarde de paramètres
- Parallèle ou série
- Utilisé dans appareil électronique pour quelques paramètres

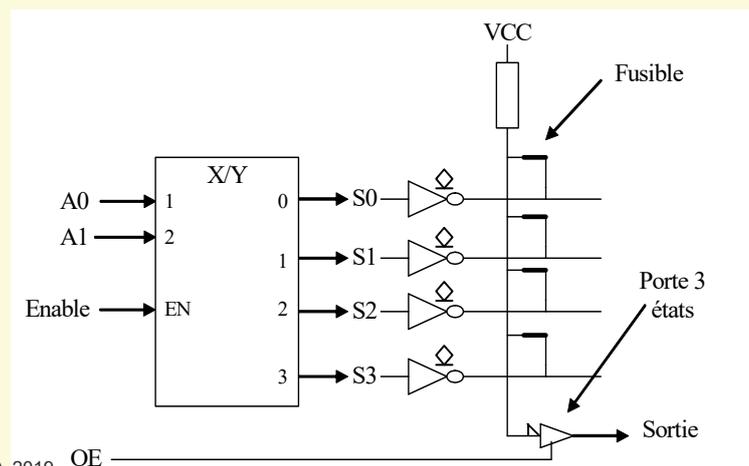
Mémoire morte : PROM

- Une mémoire morte 1 bit, programmable une seule fois, peut être réalisée avec une résistance et un fusible.



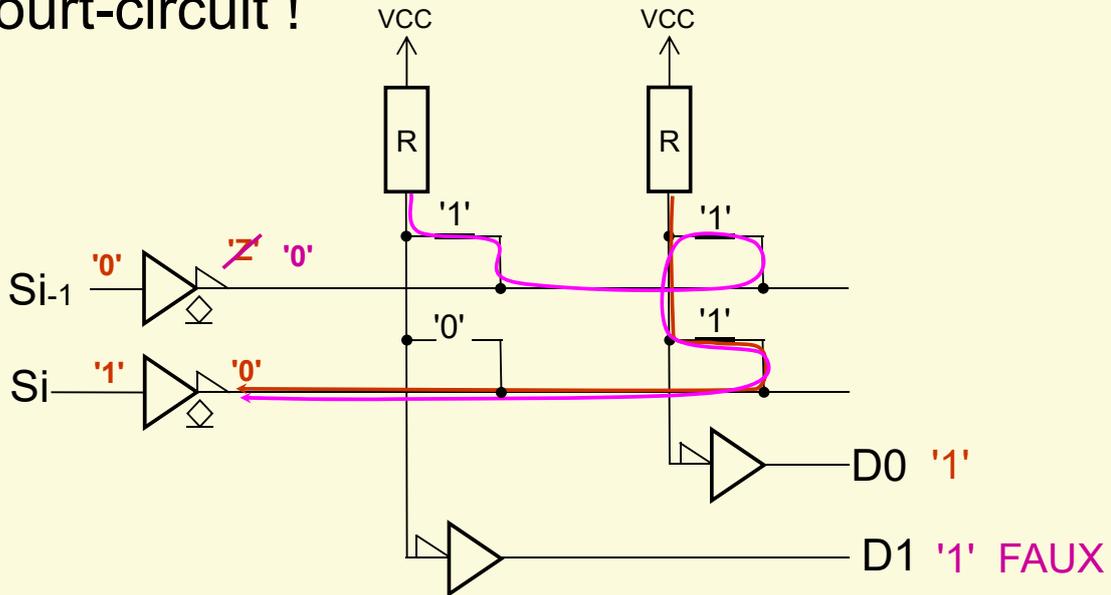
Mémoire morte 4 x 1 bit

- Fonction de sortie = somme de mintermes
 - Un décodeur permet de sélectionner un bit (minterme) parmi les 4
 - Un ou-câblé peut être réalisé avec des portes à collecteur ouvert.



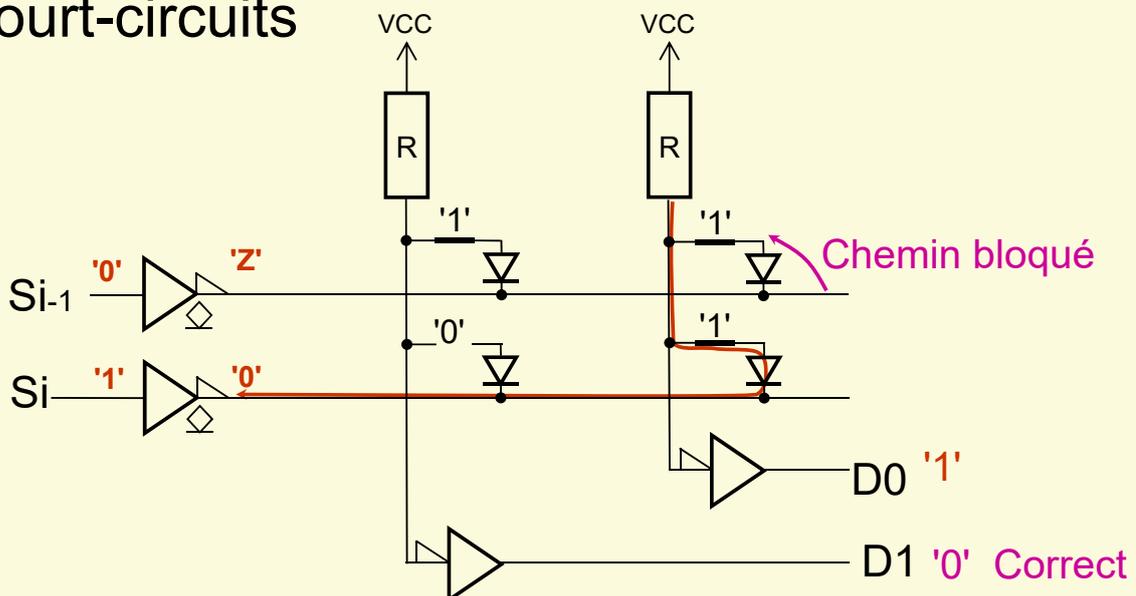
Mémoire morte 4 x 2 bits ...

- 2 bits de donnée : 2 colonnes de fusibles
- court-circuit !

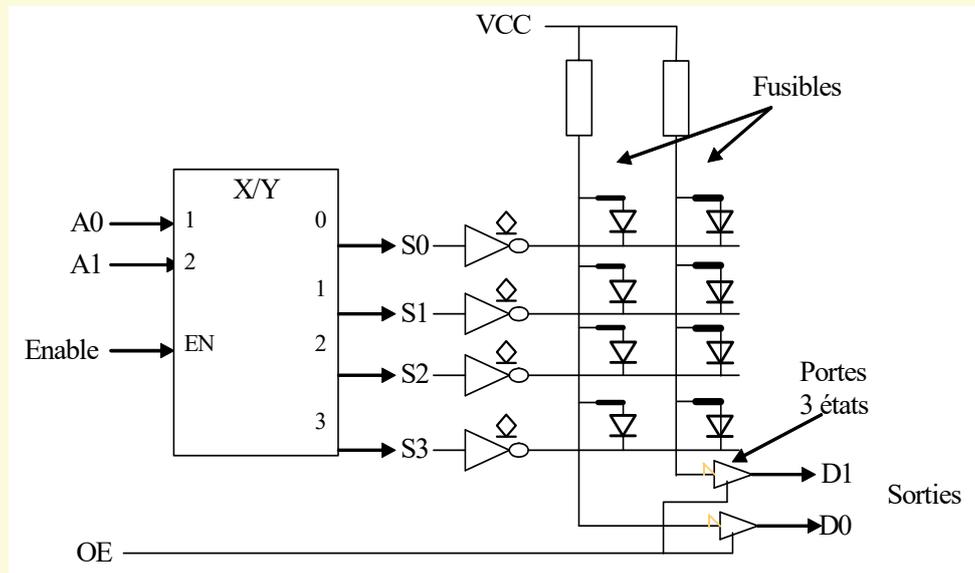


... mémoire morte 4 x 2 bits ...

- des diodes sont ajoutées pour éviter les court-circuits



... mémoire morte 4 x 2 bits

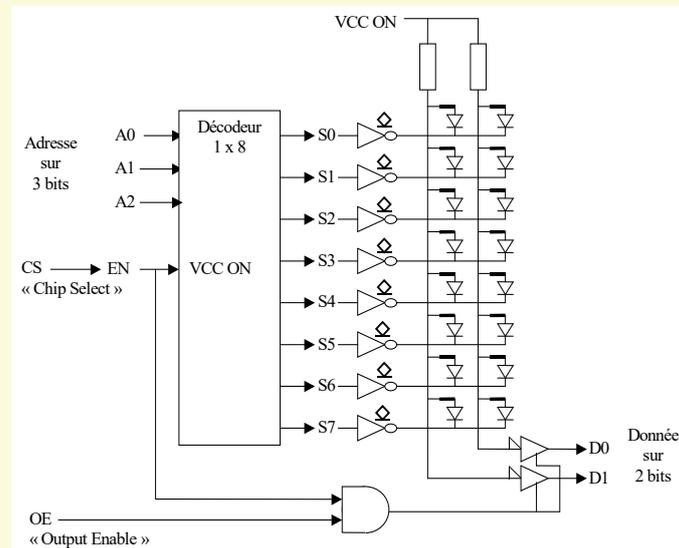


Mémoire morte 8 x 2 bits ...

- Une entrée d'activation du circuit *Chip Select* (CS)
 - peut aussi commander la mise sous tension des blocs internes
- Une entrée de 3 bits (*Address*) pour sélectionner une case de la mémoire
- Une entrée *Output Enable* (OE) pour commander l'activation de la sortie de données
- Une sortie de 2 bits (*Data*) fournissant la valeur lue

... mémoire morte 8 x 2 bits ...

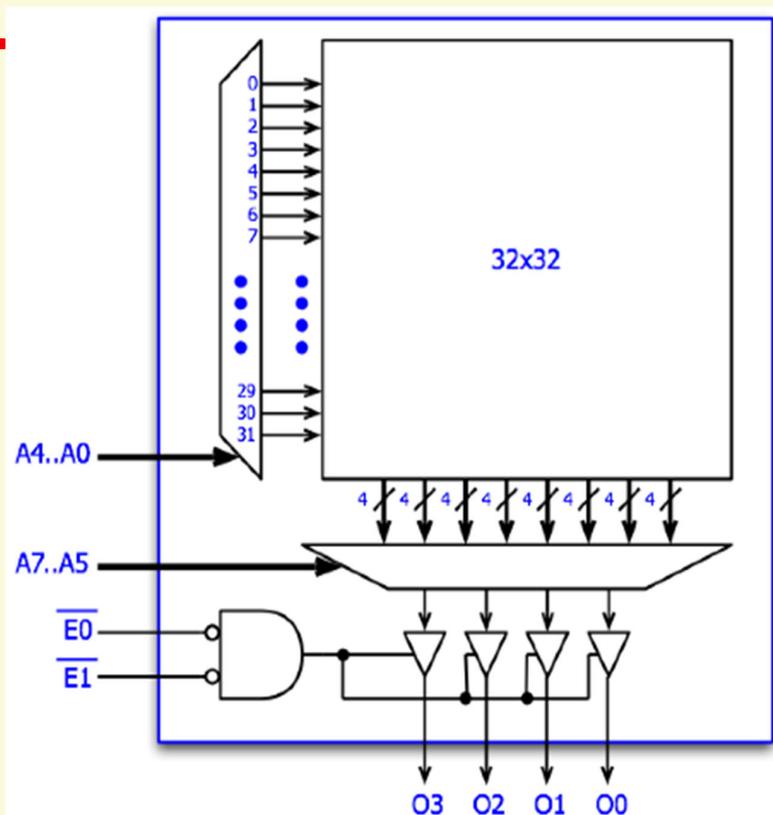
- Architecture de la mémoire



Mémoire ROM 256 x 4 bits

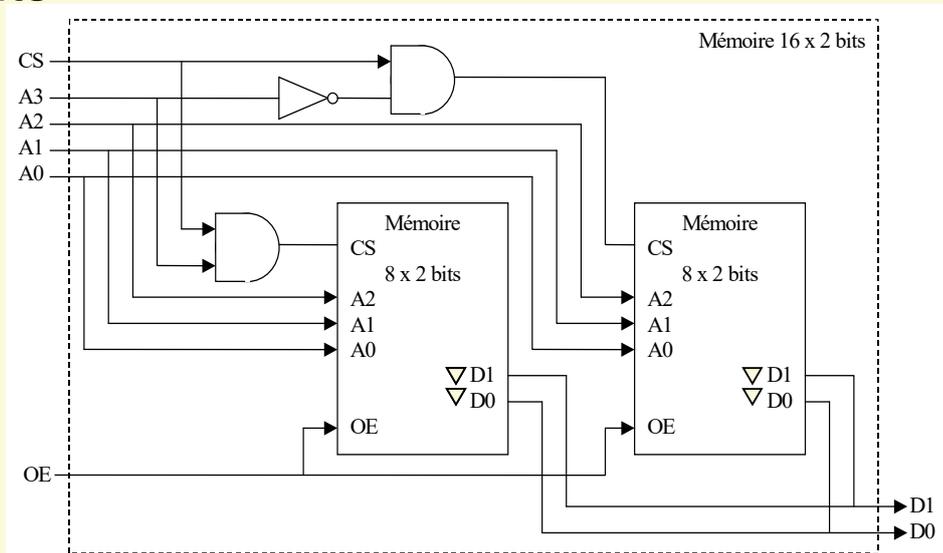
Capacité totale :
1024 bits

Décomposé en une
matrice 32 x 32 bits



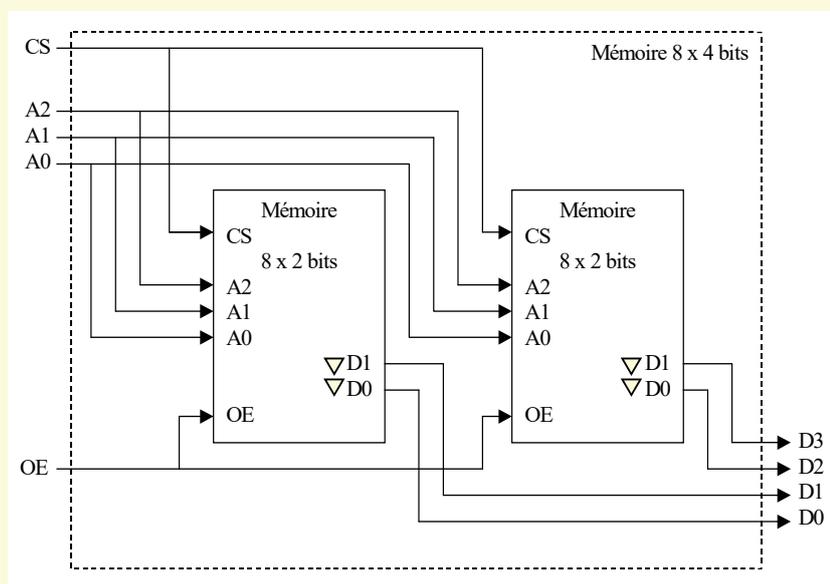
Extension des adresses (profondeur)

- Les entrées de sélection du circuit permettent d'étendre la profondeur en utilisant plusieurs circuits



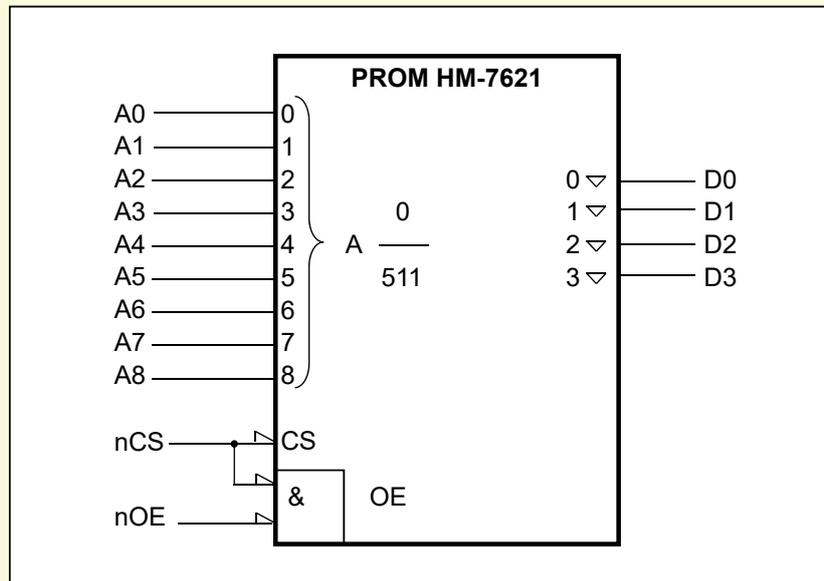
Extension des données (largeur)

- Utilisation de 2 circuits en parallèle



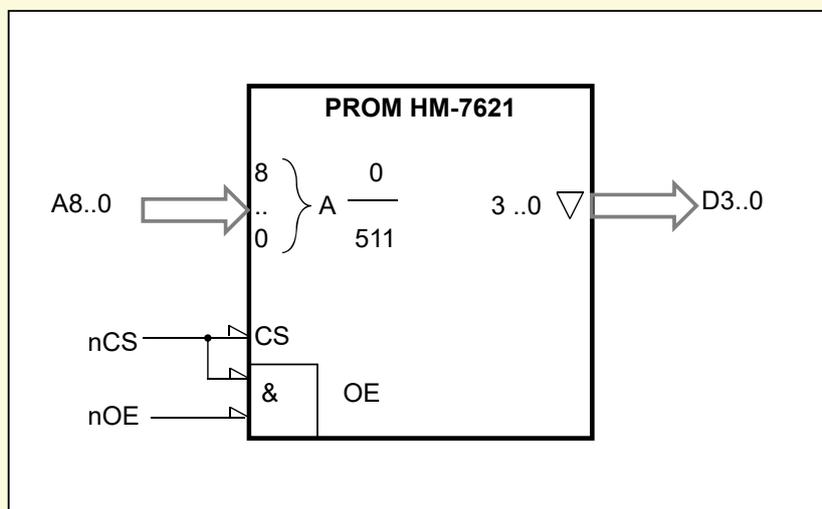
Symbole CEI d'une PROM ...

- Mémoire HM-7621, capacité 512x4



... symbole CEI d'une PROM

- Mémoire HM-7621, capacité 512x4
 - représentation avec des bus (plus lisible)

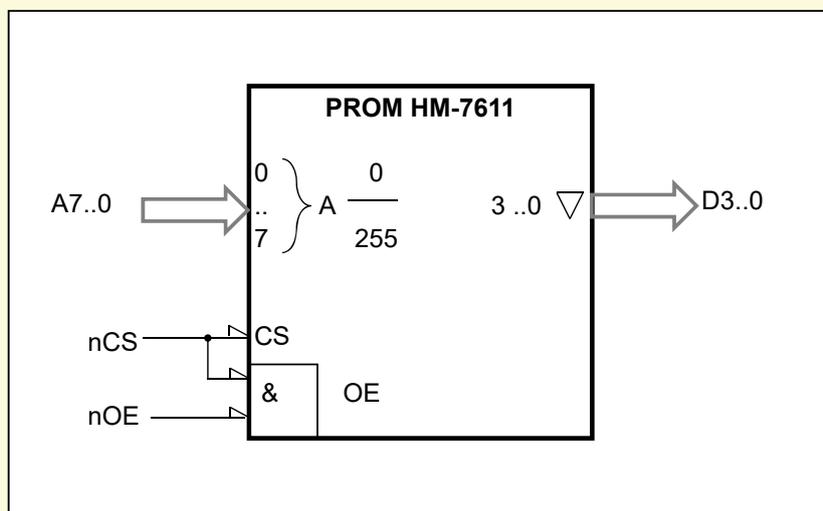


Exercices

- 1) Vous disposez de plusieurs PROM de type HM-7611 (256x4), voir symbole ci-après.
 - a) Réalisez une mémoire de capacité 256x12.
 - b) Réalisez une mémoire de capacité 1024x4.
 - c) Réalisez une mémoire de capacité 512x8.
- 2) Vous disposez de PROM de type HM-7649 (512x8). Dessinez le schéma permettant de réaliser une mémoire d'une capacité de 1Kx4 bits.
- 3) Vous disposez de PROM de type HM-7603 (32x8). Dessinez le schéma permettant de réaliser une PROM d'une capacité de 128x2 bits.

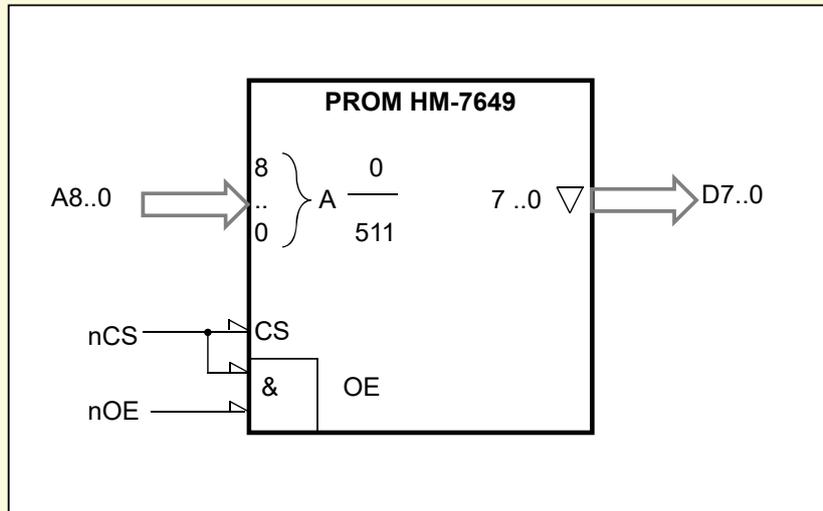
Symbole PROM 256x4

- Mémoire HM-7611, capacité 256x4



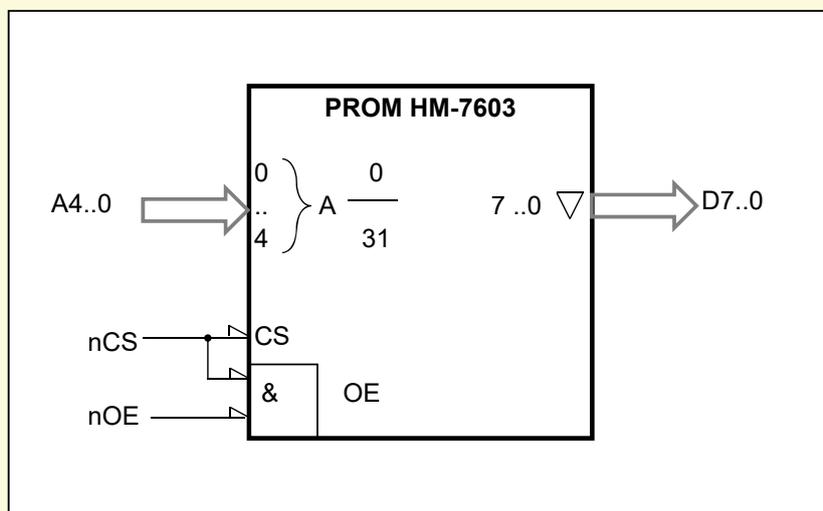
Symbole PROM 512x8

- Mémoire HM-7649, capacité 512x8
 - représentation avec des bus (plus lisible)



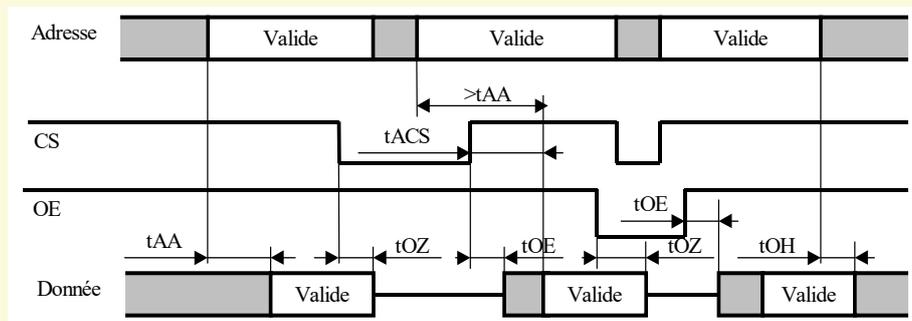
Symbole PROM 32x8

- Mémoire HM-7603, capacité 32x8



Comportement temporel

- Les signaux d'entrée des mémoires n'ont pas tous le même temps de propagation jusqu'aux sorties.



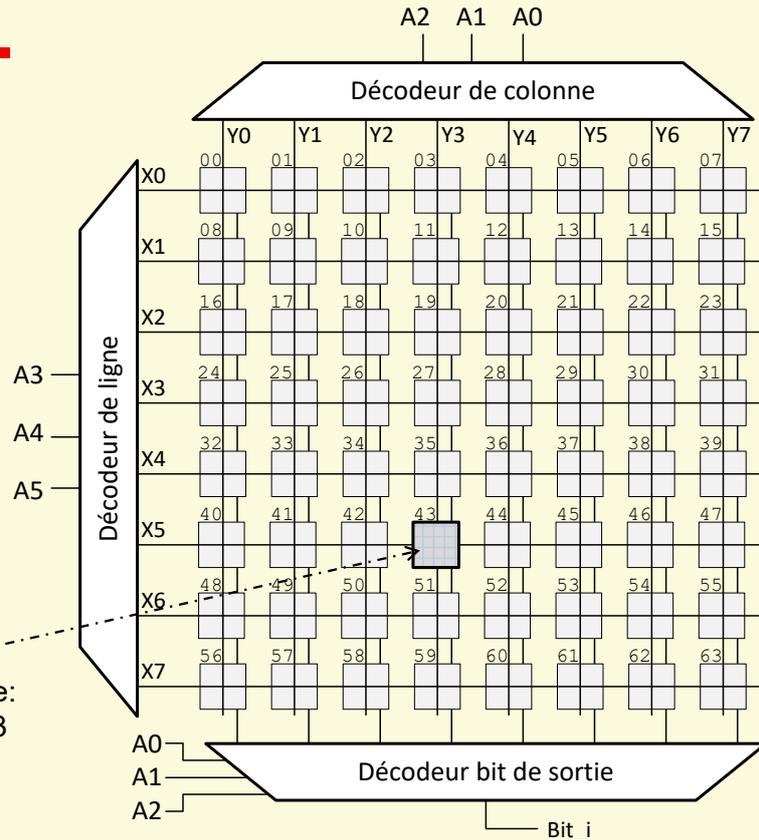
Comportement temporel

- t_{AA} = « access time from address » temps d'accès depuis les adresses
- t_{ACS} = « acces time from chip select » temps d'accès depuis CS
- t_{OE} = « output enable time » temps d'activation depuis OE
- t_{OZ} = « output disable time » temps de désactivation depuis OE ou CS
- t_{OH} = « output hold time » temps de maintien de la sortie

Structure mémoire

Structure matricielle
optimise place
occupée dans l'IC

Exemple de sélection de cellule:
Adresse = "101 011" => cell. 43

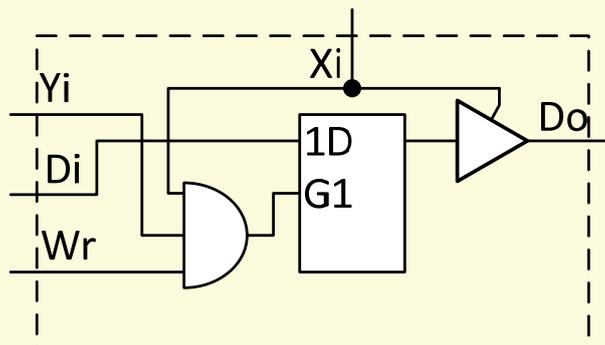


E. Messerli (HES-SO / HEIG-VD / REDS), 2019

REDS

Structure d'une RAM statique

- L'information est mémorisée dans un latch
Cela utilise 6 transistors
- Structure d'une cellule
 - mémorisation de D_i si $W_r \cdot Y_i \cdot X_i$ actif
 - lecture latch si X_i actif



E. Messerli (HES-SO / HEIG-VD / REDS), 2019

Systèmes embarqués mémoires,

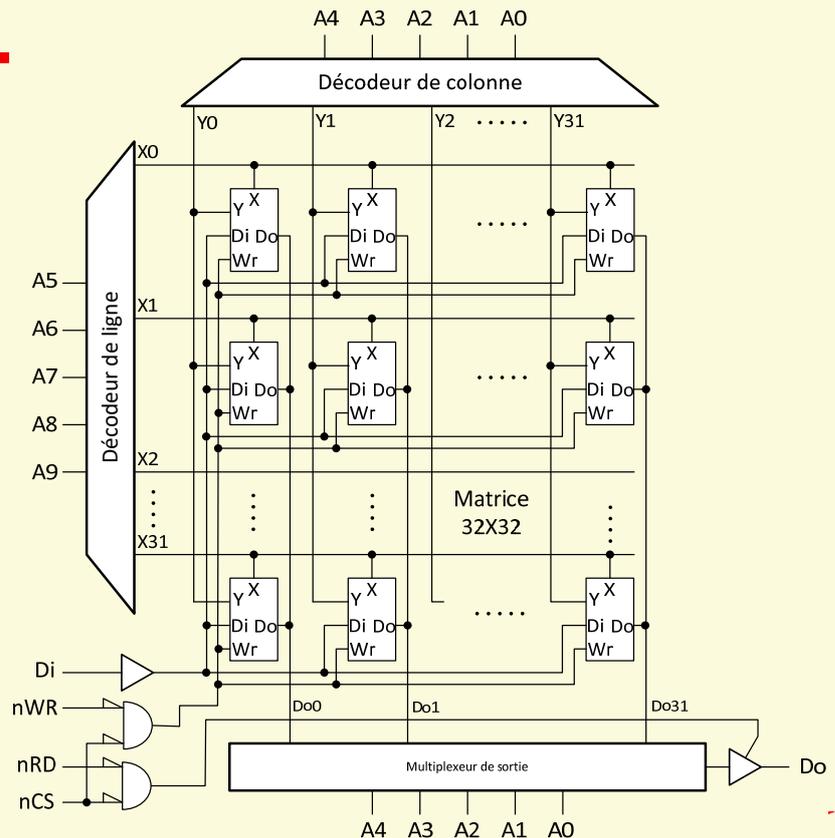
p 42

REDS

Structure d'une RAM statique

Construction matricielle, meilleure utilisation de la surface d'une puce (IC: circuit intégré)

RAM 1024 bits
matrice 32x32



E. Messerli (HES-SO / HEIG-VD / REDS), 2019

Extension taille

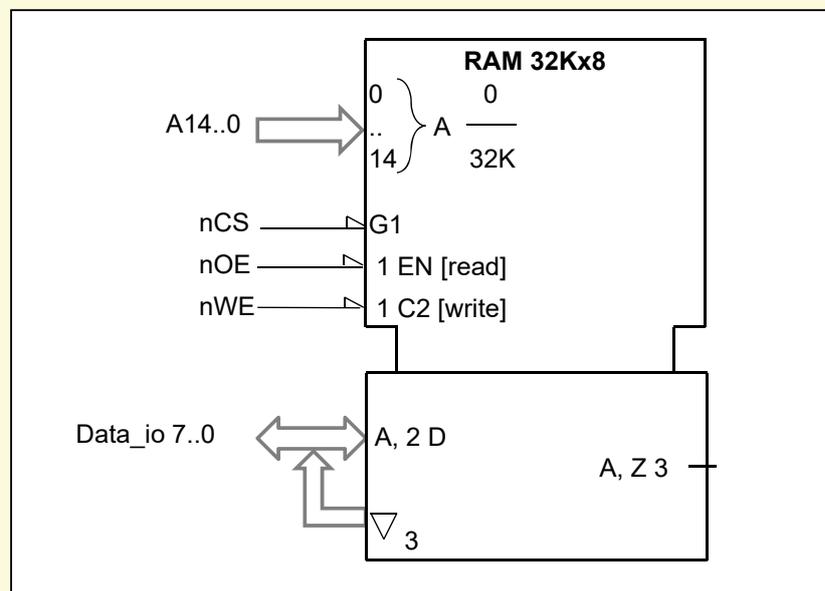
- Le principe pour étendre la taille en profondeur et en largeur est identique que pour les PROMs.
 - Différence : le bus de donnée est bidirectionnel
- Exemple d'extension des adresses (profondeur) et des données (largeur)
 - Voir ci-après

Exemple de mémoire RAM

- Nous devons réaliser une mémoire d'une capacité de 8Kx8bits avec des circuits RAM de type 2Kx8bits. La mémoire débute à l'adresse 0x1800.
 - Bus à processeur: 16 adr, 8 bits data
- Voir énoncé séparé pour détails exemple

Symbole CEI d'une RAM

- Mémoire RAM 32Kx8, représentation avec bus



Exercices

- Voir donnée séparée de 3 exercices sur les mémoires RAM.

Dia volontairement vide
