

Exercice 20:

Soit un système à processeur disposant d'un bus avec les signaux suivants :

Bus d'adresses de 20 bits, A(19...0).

Bus de données de 8 bits, D(7...0).

Bus de commande nRd, nWr, M_nIO, clock.

Signal M_nIO : "0" accès aux entrées/sorties (IO), adressage sur 1Kbytes.

"1" accès à la mémoire, adressage sur 1Mbytes.

Soit une interface parallèle de sortie avec deux signaux de contrôle de flux. La largeur de la sortie est de 8 bits. L'interface génère un signal d_new, pour indiquer au périphérique la mise à jour de la sortie. Le périphérique active un signal d_read, pour indiquer à l'interface qu'il a lu la nouvelle valeur de la sortie.

Vous devez concevoir une interface de sortie ayant les fonctionnalités suivantes:

- Vous disposez d'une zone d'adresse libre de 0x0A0 à 0x0A3 dans l'espace mémoire des entrées/sorties. L'adresse 0x0A0 sera utilisée pour écrire la valeur de la sortie.
- Lors de l'écriture d'une valeur sur la sortie, l'interface doit activer le signal d_new. Simultanément, un bit d'état (interne) doit être activé, indiquant que la sortie a été mise à jour. Celui-ci doit pouvoir être lu par le CPU.
- Lorsque le périphérique détecte l'activation du signal d_new, il va lire nouvelle donnée présente sur la sortie, puis il active le signal d_read.
- L'interface doit alors désactiver le signal d_new. Dès lors, le périphérique va désactiver, avec un délai, le signal d_read.
- Déterminer quand il faut désactiver le bit d'état, justifier votre réponse.

Donner le chronogramme de la gestion de flux à 2 fils. Vous devez indiquer précisément les actions requises au sein du système, périphérique inclus.

Donner le schéma de l'interface et les équations logiques du ou des décodeurs.

Exercice 21:

Soit un système à processeur disposant d'un bus avec les signaux suivants :

Bus d'adresses de 24 bits, A(23...0), adressage par byte

Bus de données de 16 bits D(15...0).

Bus de commande nRd, nWr, clock.

Nous devons interfacer un périphérique qui fournit le poids mesuré par une balance sur 24 bits. Lorsque le poids est stable, la balance active le signal *stable*.

Vous devez concevoir une interface de sortie ayant les fonctionnalités suivantes:

- Vous disposez d'une zone d'adresse libre de 0x18_0100 à 0x18_01FF.
- Proposer différentes solutions permettant de lire, de façon fiable, le poids mesurer par la balance lorsqu'il est stable.

Quelle problématique avons-nous pour réaliser cette interface?

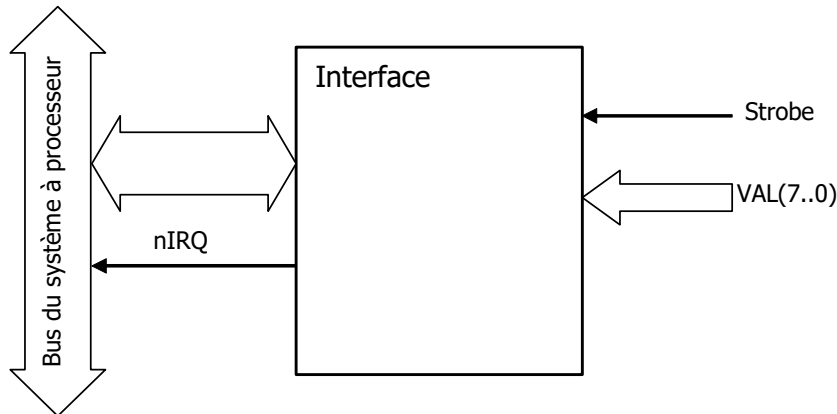
Proposer différentes solutions qui seront de plus en plus fiable:

- a) Proposer une solution simple (pas fiable à 100%).
- b) Proposer une solution comprenant un bit d'état indiquant si la mesure est stable et une lecture 100% fiable du poids correspondant.
- c) Proposer une solution avec une commande permettant de mémoriser la prochaine mesure stable du poids en utilisant une gestion de flux ad hoc.

Exercice 22:

Soit un périphérique qui fournit une valeur de 8 bits au système à processeur.

Vous devez réaliser l'interface qui va permettre de connecter le périphérique au système à processeur. Le schéma bloc de l'interface est le suivant :



Le périphérique fonctionne de la manière suivante :

- Lorsque le signal Strobe est actif (état '1'), la donnée Val(7..0) est stable et le reste tant que ce signal est actif.
- Lors de la désactivation du Strobe, l'interface doit générer une interruption pour indiquer au CPU qu'une donnée est disponible.
- Dès lors, le CPU va déterminer la source de l'interruption par scrutation et lire la valeur VAL. Puis, il quitte l'interruption.

Le système à processeur dispose d'un bus avec les caractéristiques suivantes :

Bus d'adresses de 20 bits, A(19...0).

Bus de données de 8 bits, D(7...0).

Bus de commande nRD, nWR, M_nIO, clock.

Signal M_nIO : "0" accès aux entrées/sorties (IO), adressage sur 1Kbytes.

"1" accès à la mémoire, adressage sur 1Mbytes.

Une ligne nIRQ. Cette ligne est partagée entre tous les interfaces. La connexion se fera par l'intermédiaire d'une porte à collecteur ouvert. Lorsque la ligne est à l'état '0' (actif bas), cela indique au CPU qu'une interface demande une interruption. Le CPU devra alors identifier le demandeur par scrutation.

Vous disposez, dans le plan d'adressage IO, d'une zone libre de 0x200 à 0x2FF.

Analyser le fonctionnement de l'interface et proposer une solution pour la gestion de flux avec l'interruption.

Etablir le plan d'adressage de votre interface. Puis, vous devez donner le schéma de l'interface comprenant tous les éléments et signaux nécessaires au respect des spécifications de l'interface. Vous fournirez un symbole ou une description des différents modules qui compose votre interface.

Variante :

- Adapter l'interface pour le cas d'une donnée Val sur 16 bits.

Exercice 23:

Soit un système à processeur disposant d'un bus avec les signaux suivants :

Bus d'adresses (non multiplexé) de 8 bits, A(15...8).

Bus d'adresses/données multiplexé de 8 bits, AD(7...0).

Bus de commande nRD, nWR, M_nIO, ALE, nIRQ.

Signal M_nIO : "0" accès aux entrées/sorties (IO), adressage sur 64Kbytes.

"1" accès à la mémoire, adressage sur 64Kbytes.

Signal ALE : *Adresse Latch Enable* (actif haut)

Soit une interface parallèle avec un signal de contrôle de flux. La largeur de l'entrée est de 16 bits. Un signal VALIDE est activé par le périphérique pour indiquer qu'une nouvelle donnée est fournie.

Dans le plan d'adressage des entrées/sorties, nous disposons d'une zone d'adresses libre de 0x0400 à 0x07FF.

- a) Vous devez concevoir et réaliser l'interface d'entrée. Vous devez prévoir dans votre interface la possibilité de lire un bit d'état. Ce bit d'état est activé lorsque le périphérique fournit une nouvelle donnée. Lorsque le processeur a lu la donnée complète, prévoir une action pour le désactiver.

Proposer une solution pour la gestion de flux de l'interface.

Donner le schéma de l'interface et les équations logiques du ou des décodeurs.

- b) Modifier votre interface afin de générer une interruption lorsqu'une nouvelle valeur est fournie par le périphérique.

L'identification de la source de l'interruption sera réalisée par scrutation.

Proposer une solution pour quittancer l'interruption.