

Description d'additionneurs en VHDL



This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 Unported License

Utilisation de Moodle

- Les données de laboratoires sont fournies sur le site Moodle de la HES-SO, soit:
 - <https://cyberlearn.hes-so.ch/>
 - Vous devez vous inscrire sur le cours "18_HEIG-VD_CSN"
 - La clé pour s'inscrire est : CSN_2018
- Pour le laboratoire sur la description de l'additionneur, vous disposer d'une archive avec un chablon, des scripts et des test-bench.

Exercices

Il s'agit de décrire différentes versions de l'addition du plus simple jusqu'à une version complète. Les descriptions seront faites par étapes.

A chaque étape vous devez faire la synthèse de la description VHDL à l'aide de Quartus

Vous devez utiliser la technologie Max 10 (laisser type auto)

1. Décrire en VHDL synthétisable un additionneur 4 bits avec carry (in et out)

- a) Additionneur de deux vecteurs 4 bits sans report
- b) puis ajout du carry out à la description VHDL
- c) puis ajout du carry in dans la description

Simuler votre description avec le test-bench automatique correspondant

Exercices

2. Décrire en VHDL synthétisable un additionneur générique de N bits avec carry (in et out) :

- a) Copier votre fichier add4.vhd, et le renommer addn.vhd
- b) Ajouter une constante générique N dans l'entité
- c) Modifier votre description afin de rendre l'architecture générique
- d) Vérifier la synthèse de votre description pour différentes valeurs par défaut de la constante générique N

3. Décrire en VHDL synthétisable un additionneur 4 bits avec carry in/out et overflow

- a) Etablir un schéma bloc de l'additionneur afin de pouvoir calculer l'overflow selon la formule:
$$ovr = cn \text{ xor } cn-1$$
- b) Etablir une description structurelle de votre additionneur 4 bits avec carry (in/out) et overflow dans un fichier add4_full.vhd avec le nom d'entité "add4"
- c) Réaliser la synthèse de votre description
- d) Réaliser la simulation automatique.
 - Il faudra changer le nom du fichier à simuler et ajouter la compilation du fichier addn.vhd dans le script "run_comp_add4_full_tb.tcl"

A rendre

- Vous devez rendre dans une archive *zip* ou *tar.gz* les documents suivantes:
 - les fichiers VHDL des différentes version de l'additionneur, soit:
 - add4 carry in/out : add4.vhd
 - addN carry in/out : addn.vhd
 - add4 carry in/out et overflow (structurel) : add4_full.vhd
 - Les vues RTL et technologiques de l'additionneur 4 bits avec carry in/out (add4.vhd)
 - Le log de la simulation automatique de l'additionneur 4 bits avec carry in/out et overflow (add4_full.vhd)