Date: 21.09.2017



Résumé pour l'utilisation de Quartus II 13.0

Ver	Date	Qui	Commentaires
0.1	17 sept 2014	EMI	Adaptation pour Linux
0.3	23 févr 2016	EMI	Mise à jour
0.4	01 nov. 2016	BRE	Ajout assignation automatique des pins
0.5	21 sept 2017	EMI	Mise en page (logo HEIG-VD)

Version: PC de laboratoire Linux, septembre 2015, logiciel Quartus II 13.0, 64bits

Création d'un nouveau projet et importation des fichiers VHDL

- Lancer le logiciel Quartus II, aller dans les menus : REDS Lab → Electronic Design → Quartus II 13.0
- Lancer le Wizard pour la création d'un nouveau projet, soit : File → New Project Wizard... puis Next
- Dans la fenêtre "New Project Wizard: Directory, Name, Top-Level Entity" Choisir le répertoire : /home/reds_user/crs_csn/<nom_proj>/pr

Créer, si nécessaire, les répertoires

Saisir le nom du projet (idem nom entité) à respecter Saisir le nom de l'entité du top (top-level-design entity)

normalement automatiquement copié

puis Next

4. Dans la fenêtre "Select File"

cliquer sur) et aller dans le répertoire ..\src, puis sélectionner tous les fichiers VHDL pour la synthèse puis valider en cliquant "Add" puis Next

 Dans la fenêtre "New Project Wizard: Family & Device Settings" Choisir la famille de circuit selon la carte utilisée

puis sélectionner le circuit indiqué dans la liste « Available Devices » puis Next

carte **EPM25-25**: family: MAX7000S, device : EPM7128SLC84-??

(??=15 ou ??=7: voir circuit de la carte)

carte MaxV 80-25p: family: Max V, device : 5M570ZF256C5

6. Dans la fenêtre "New Project Wizard: EDA Tool Settings"

Fenêtre Simulation

Sélectionner QuestaSim dans la liste, avec format VHDL puis Next

 Il est possible que le message suivant s'affiche :
 "The device or device family does not support LogicLock regions" Cliquer sur OK



Assignation des pins pour les signaux I/O

Option 1 : Assignation automatique avec un script

- Le répertoire <nom_proj>/src_cpld doit contenir le script « < top_level_design_entity>_pin_assignment.qsf»
- Aller dans le menu : Assignement → Import Assignments...
- Cliquer sur et sélectionner le fichier du script.
- Cliquer sur OK

Option 2 : Assignation manuelle

 Ouvrir la fenêtre de sélection du Device en allant dans le menu: Assignement → Pin Planner
 Pour chaque signal => choisir la pin correspondante selon schématique

Compilation des fichiers VHDL du projet :

 Démarrer la compilation en allant dans le menu: Processing → Start compilation ou

cliquer sur l'icone
dans la barre d'outils

puis le message: "Full Compilation was successful (X warnings)", cliquer OK si vous obtenez des erreurs, corriger celles-ci et relancer la compilation

Visualisation des vues RTL et Technologic :

 Ouvrir les vues en allant dans le menu : Tools => Netlist_Viewers => choisir soit

RTL Viewer Technology Map Viewer

 Option d'affichage : Clic droite => Viewers Options choisir l'onglet : Customize View désélectionner : Group all related nodes

Vérification du type de circuit : Device Assignment

- Ouvrir la fenêtre de sélection du Device en allant dans le menu: Assignement → Device
- Si nécessaire, modifier le device assignment (idem au point 5 de création d'un nouveau projet)



Programmation du circuit :

- Lancer le programmeur, aller dans le menu : Tools → Programmer
- 2. Si nécessaire configurer le hardware (voir ci-dessous)
- 3. Sélection du fichier de programmation :
 - o clic « AddFile .. »
 - sélectionner le répertoire output_files, puis
 - sélectionner le fichier *.pof, puis cliquer open
 - o cocher les cases Program et Verify
- 4. Lancer la programmation : clic sur « Start »

Configuration du programmeur :

- o clic « Hardware Setup »
- o double clic « USB-Blaster »
- Dans la fenêtre « Currently selected hardware » : USB-Blaster [x-x]
- o cliquer « close »

Device utilisé au REDS :

carte EPM25-25:

family: MAX7000S, device EPM7128SLC84- ?? (-15 ou -7 voir circuit)

carte MaxV 80-25p:

family: Max V, device 5M570ZF256C5