

Les bascules



Qu'appelle-t-on une bascule ?

- Bascule = circuit ayant :
 - un comportement séquentiel (dépendant du temps, de l'historique des évènements)
 - une seule sortie à 2 états
 - pas plus de 2 états stables
- Bascules classées selon le nombre d'états stables :
 - astable (oscillateur) : aucun état stable
 - monostable : 1 état stable
 - **bistable** : 2 états stables

Définition d'une bascule bistable :

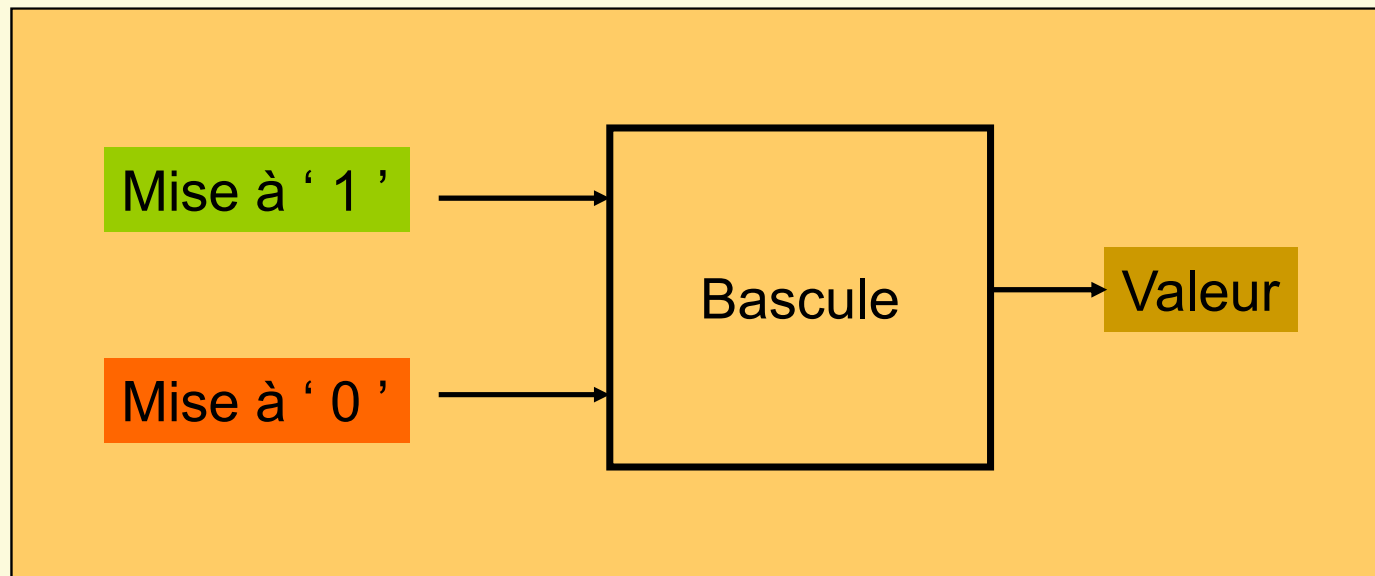
- 2 états stables
- Actions sur les entrées:
 - permettent de forcer un état ou un changement d'état
- Sans actions sur les entrées: maintien de l'état
 - mémorisation
- L'état dépend l'état actuel des entrées **et** de l'historique des évènements

Bascules bistables, comportement

- Bascules bistables classées selon leur comportement :
 - bascule asynchrone RS (bascule élémentaire)
 - bascule à verrouillage (verrou, «latch»), sensible à l'état de l'entrée de commande du verrou
 - bascule «edge triggered», sensible à un flanc d'un signal de commande, souvent nommée *flip-flop*

Bascule élémentaire

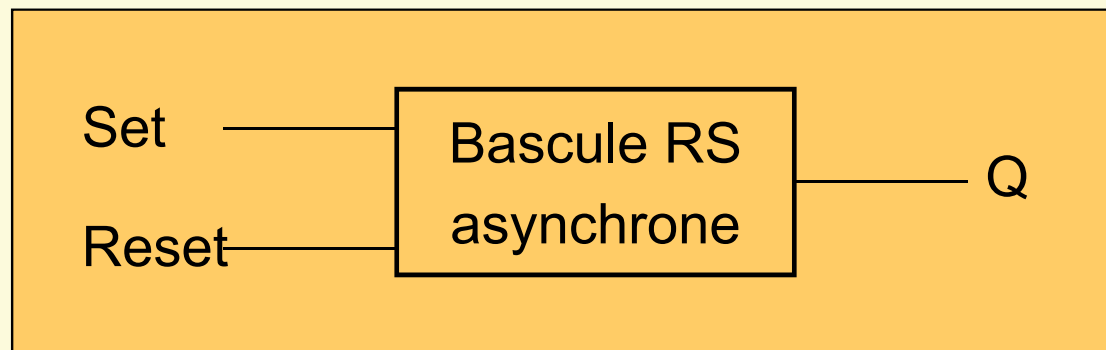
- Module logique permettant d'initialiser et de stocker une valeur logique



Bascule RS asynchrone ...

Comportement :

- Set = '1' mise à '1' de la sortie
- Reset = '1' mise à '0' de la sortie
- Set = Reset = '0' maintien, la sortie conserve sa valeur
- Set = Reset = '1' interdit



... bascule RS asynchrone ...

Conception d'une bascule RS :

- l'évolution dépend des entrées **et** de l'état présent (historique), nous rajoutons Q comme entrée dans la TDV

	R	S	Q	Q+	
Q : Etat présent de la bascule RS	0	0	0	...	} Maintien
	0	0	1	...	
Q+ : Etat futur de la bascule RS	0	1	0	...	} Set
	0	1	1	...	
	1	0	0	...	} Reset
	1	0	1	...	
	1	1	0	...	
	1	1	1	...	

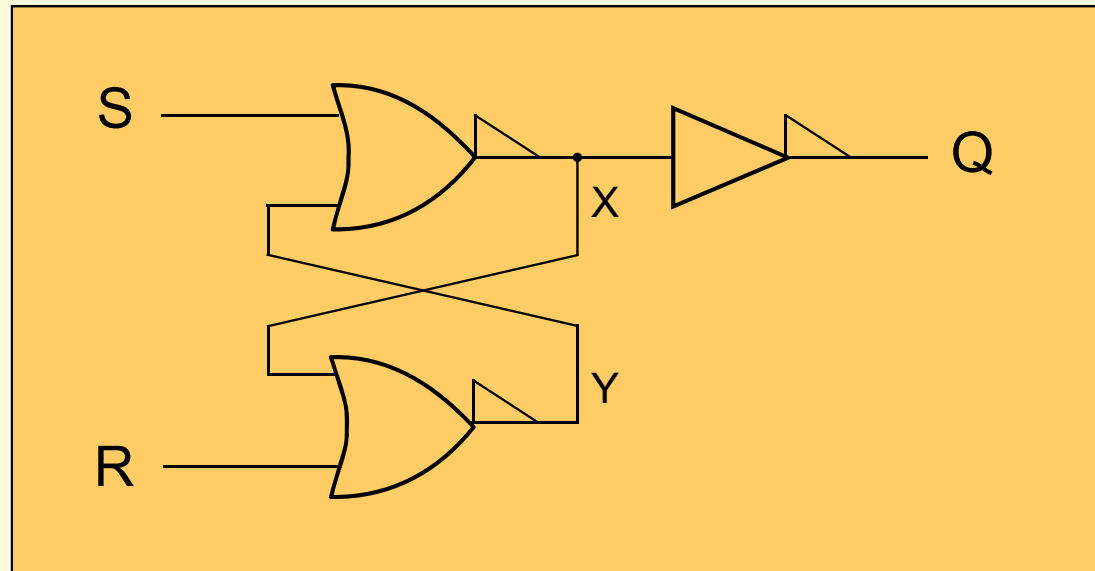
... bascule RS asynchrone ...

Conception de la bascule RS:

- Etablir l'équation simplifiée de Q^+ à l'aide d'une table de Karnaugh
- Dessiner le schéma logique de Q^+
- Connecter le signal Q sur Q^+
- Transformer le schéma logique en utilisant des portes NOR et des inverseurs NOT

... bascule RS asynchrone ...

- Schéma logique :



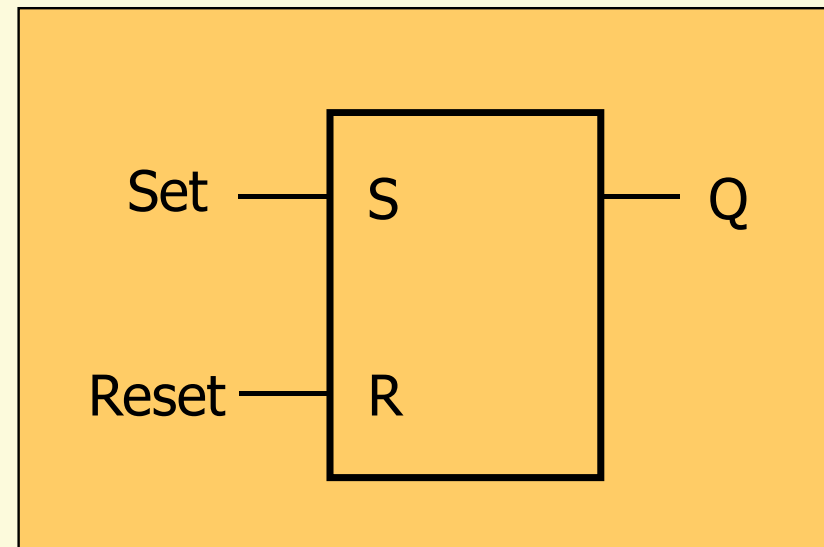
A quoi sert la porte inverseur sur la sortie Q ?

... bascule RS asynchrone

- Table des transitions

R	S	Q+
0	0	Q
0	1	1
1	0	0
1	1	interdit

Symbole CEI



Bascule RS asynchrone: **inconvénients**

- La bascule RS asynchrone est sensible à toute impulsion sur ses entrées
 - Si durée supérieure au temps de propagation de 2 portes
=> changement d'état définitif de la bascule RS
 - Si durée inférieur au temps de propagation de 2 portes
=> état final de la bascule RS indéterminé !
- Les commutations des circuits produisent des parasites
- Nos circuits génèrent des aléas
- Ces parasites et ces aléas peuvent faire changer d'état une bascule RS asynchrone

Bascule à verrouillage (latch)

- Solution pour éviter les basculements indésirables :
 - verrouiller la bascule lorsque des parasites et/ou des aléas peuvent apparaître sur les entrées
 - verrouiller = rendre les entrées inactives
- Ajout d'une entrée de commande, nommée G, soit:
 - $G = '1'$ → active les actions des entrées S et R
 - $G = '0'$ → désactive les actions des entrées S et R

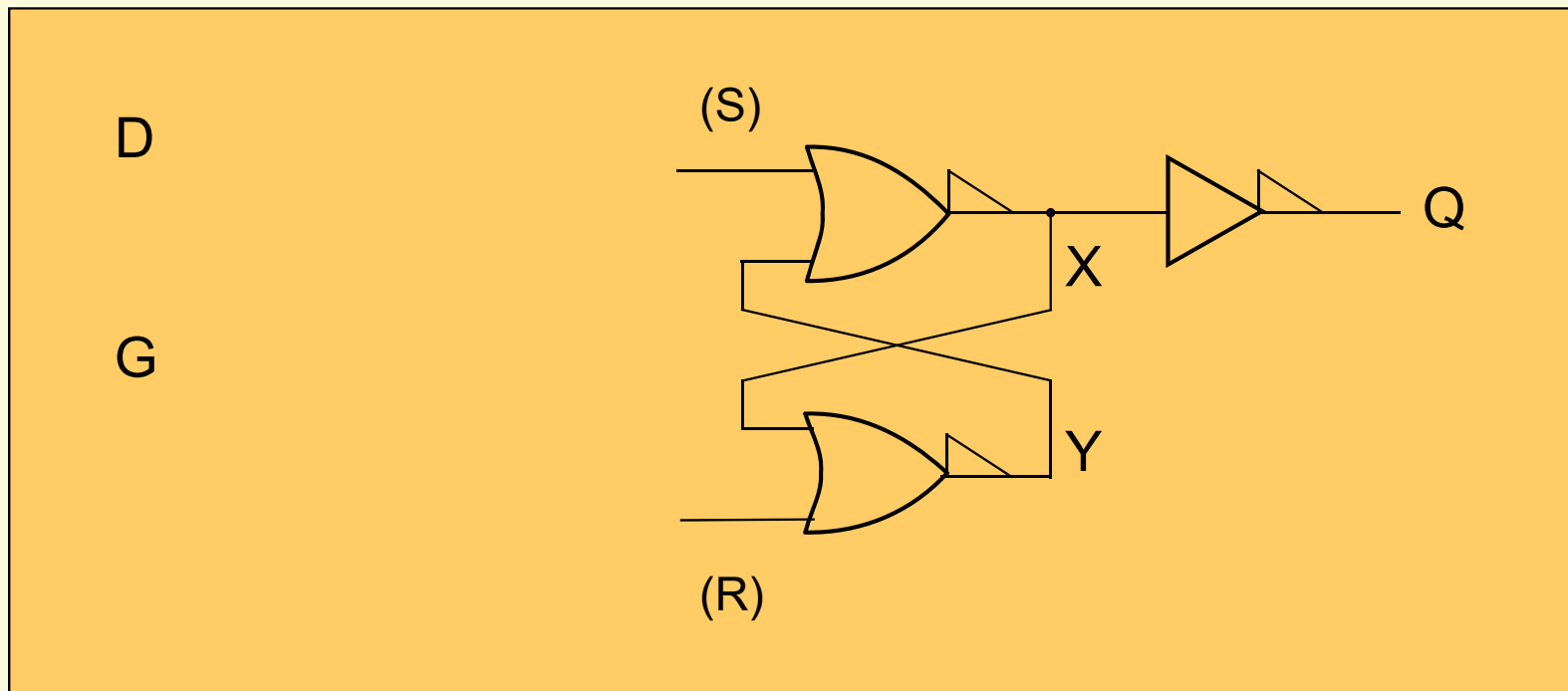
Latch D ...

But : mémoriser une information d'un bit, au moment souhaité

- Entrées :
 - D : donnée
 - G : commande de verrouillage (gate)
- Comportement :
 - $G = '1'$ => la sortie prend la valeur de l'entrée D :
cette bascule est transparente (verrou ouvert)
 - $G = '0'$ => la sortie conserve sa valeur
- Bascule **sensible sur un niveau** de l'entrée de commande G

... latch D ...

- Schéma logique :

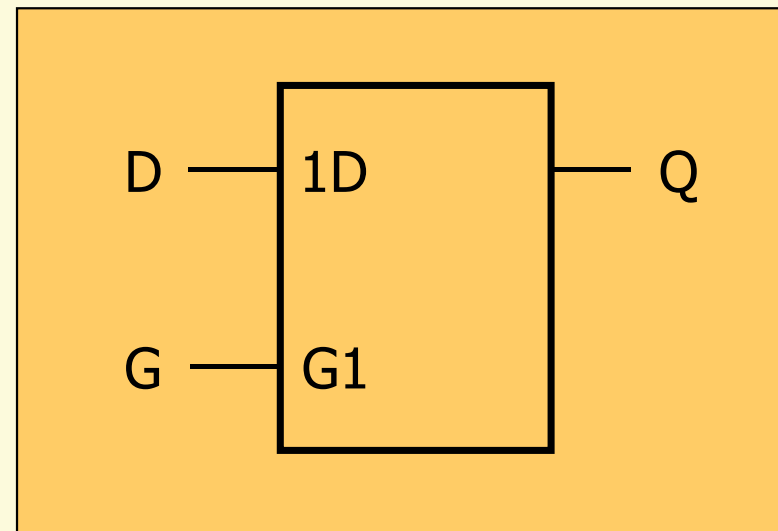


Version basée sur une bascule RS

... latch D ...

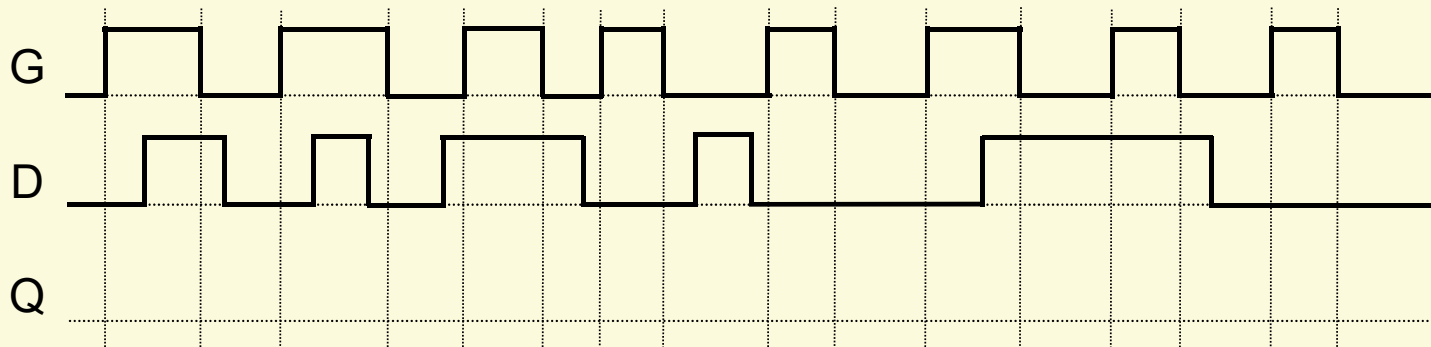
- Table des transitions : Symbole CEI :

G	D	Q+
0	0	Q
0	1	Q
1	0	0
1	1	1



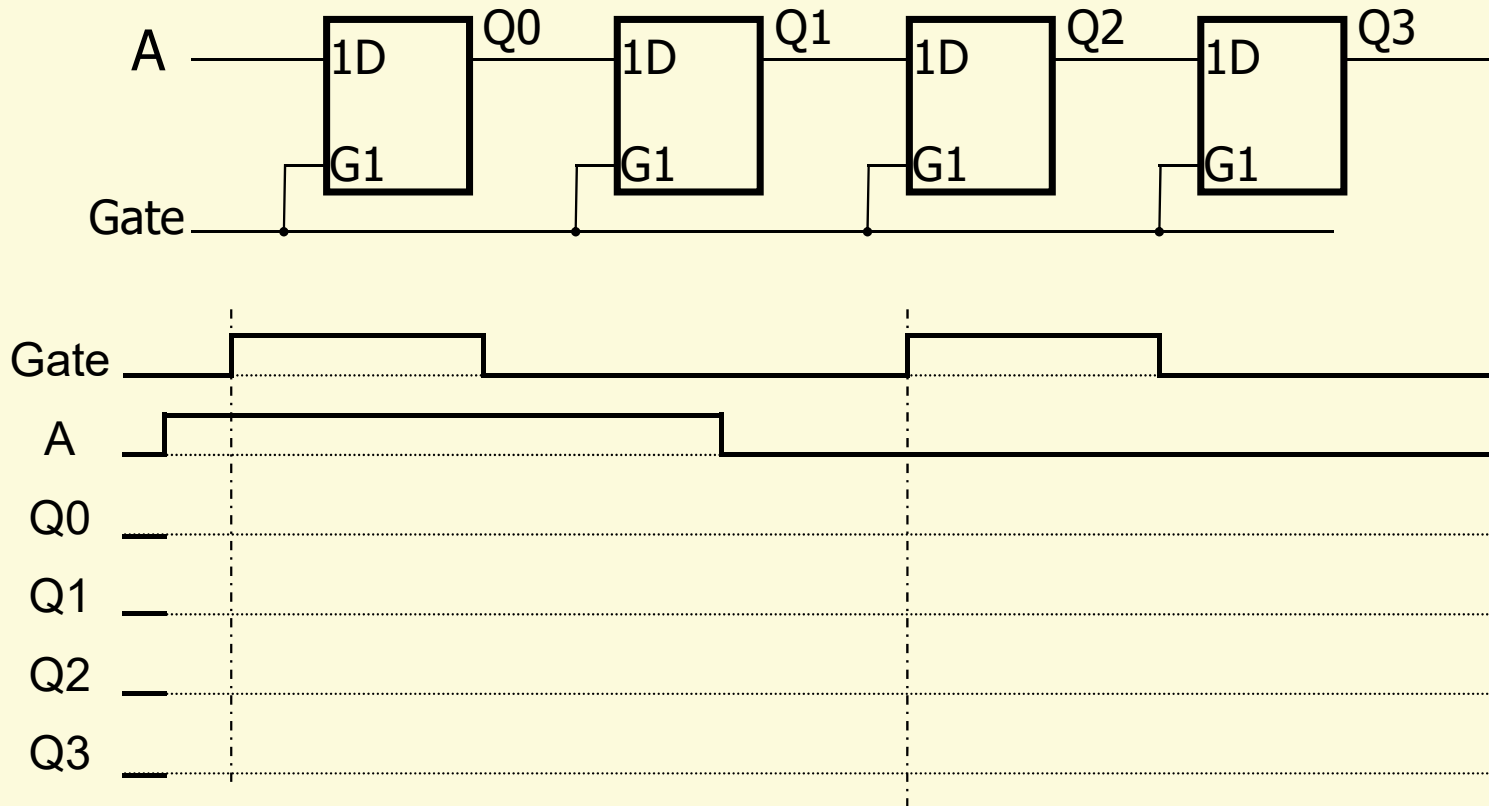
... latch D

- Compléter le chronogramme suivant:



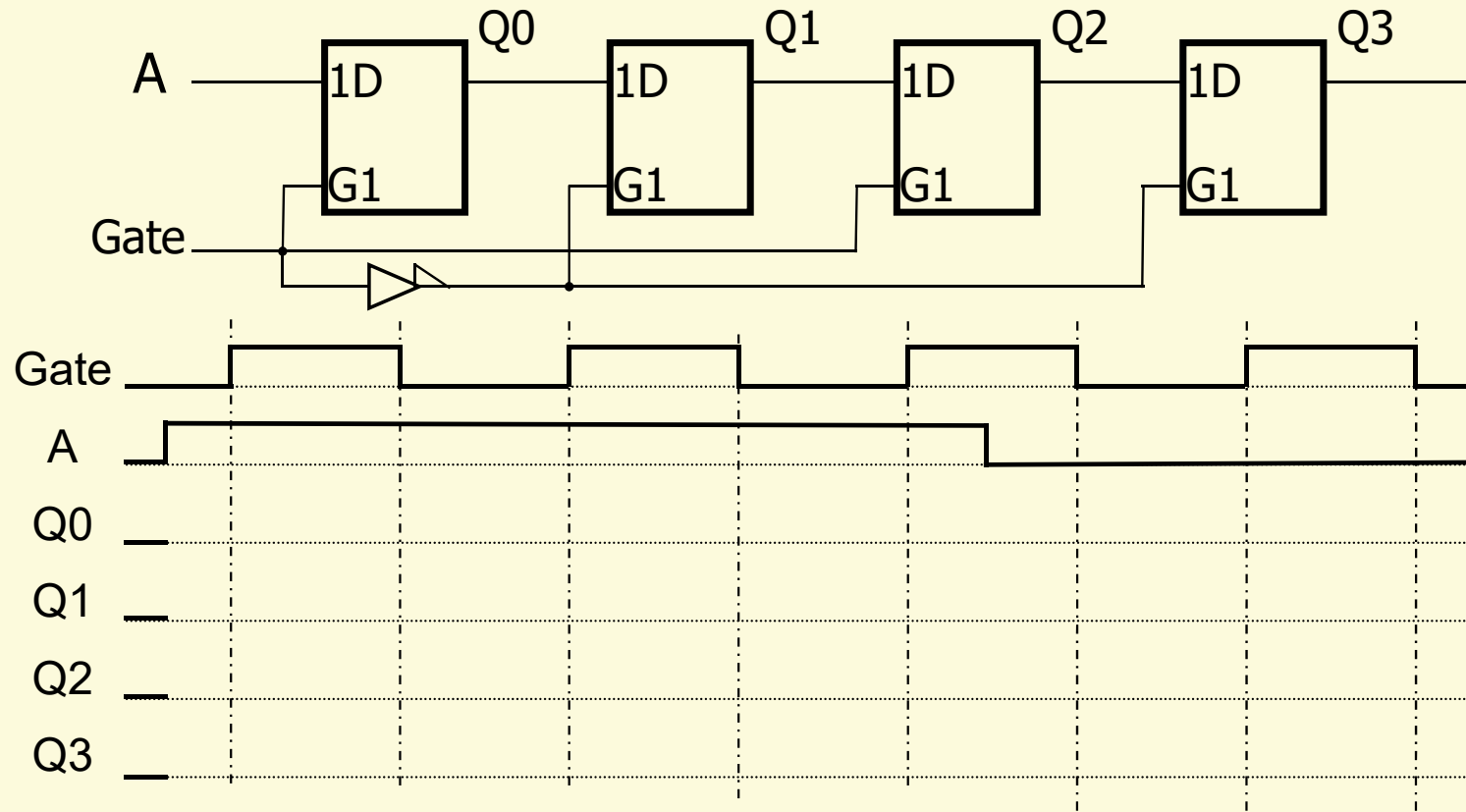
Décalage avec des Latches

Registre à décalage avec des Latches



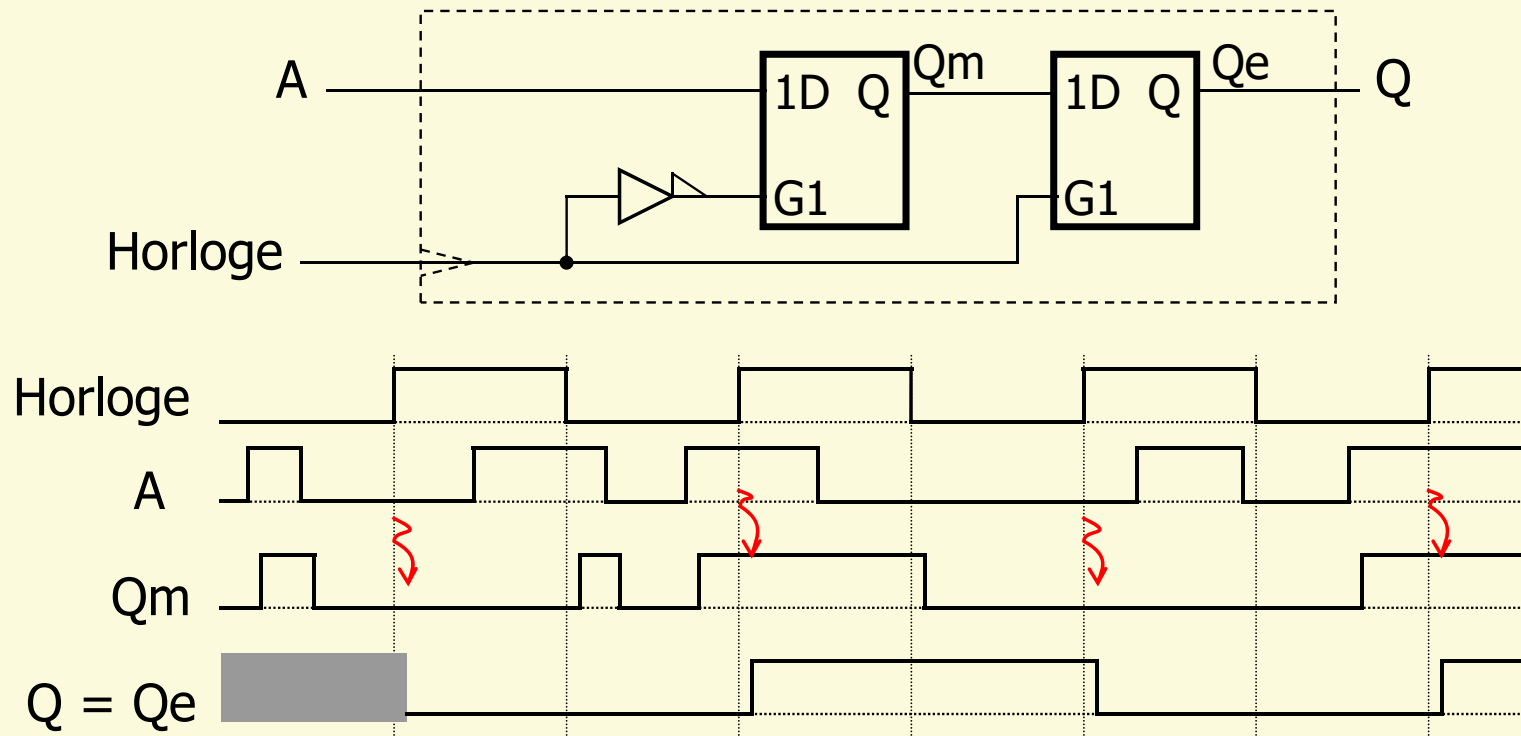
Décalage avec des Latches "bis"

Registre à décalage avec des latches et 2 signaux de commande



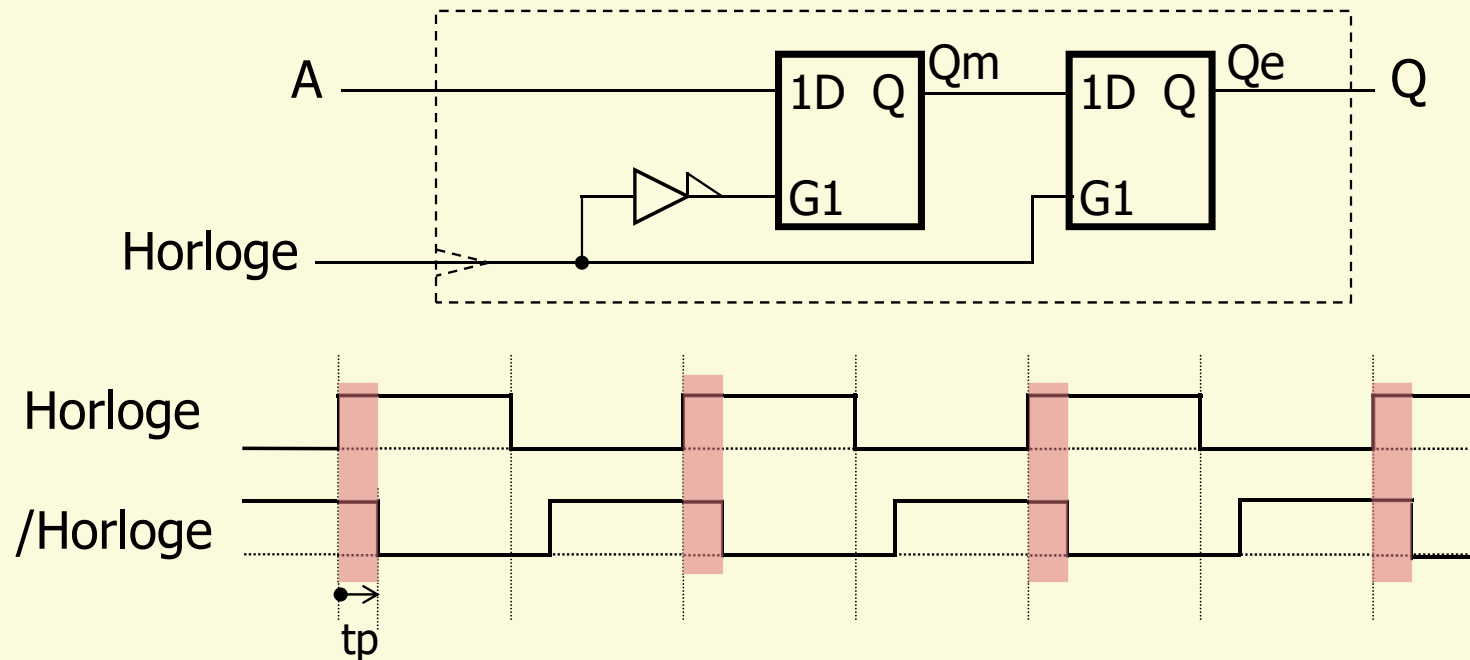
Principe de bascule "maître-esclave" ...

Soit le schéma de principe d'une bascule **sensible au flanc** basé sur une bascule maître-esclave:



... principe de bascule "maître-esclave"

Problème dans le fonctionnement de ce schéma:

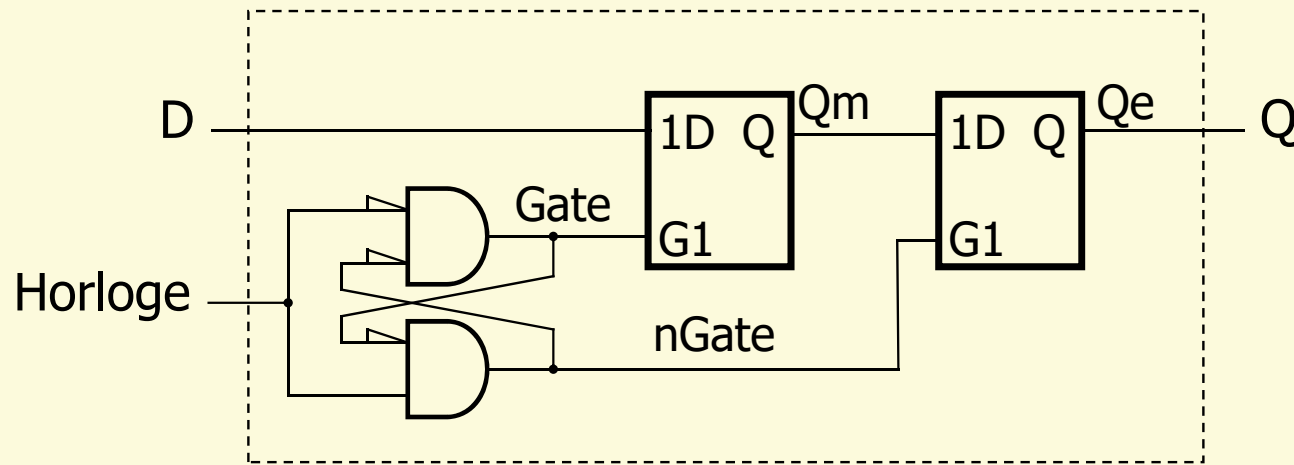


Zone où les 2 latches sont ouverts. Risque que l'état de l'entrée A passe à travers les 2 latches simultanément !

Bascule "maître-esclave" ...

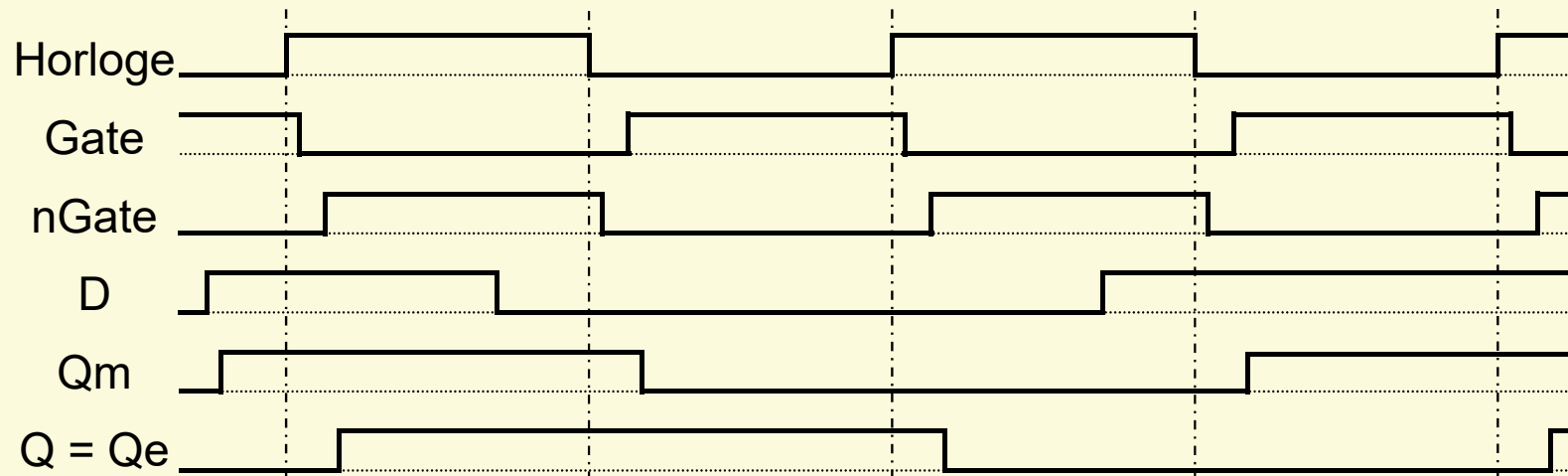
Bascule constituée de 2 Latches avec 2 signaux gates inversés

⚠ ces deux signaux ne doivent pas être actifs simultanément



... bascule "maître-esclave" ...

Analyse du fonctionnement interne



Le comportement correspond à une **bascule sensible au flanc**

Flip-flop D ou bascule "Edge trigger"

- Comportement :
 - Si un flanc montant ou descendant (suivant la polarité choisie) se présente sur l'entrée d'horloge, la sortie prend à cet instant la valeur de l'entrée D

Bascule sensible sur un flanc

Le signal de commande à action dynamique est nommé :
Horloge ou Clock

... flip-flop D (DFF) ...

Table des transitions

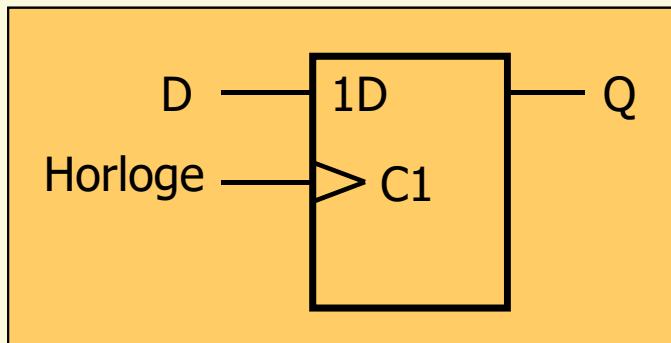
Horloge	D	Q+
⌋	0	0
⌋	1	1

⇒

Table des transitions **synchrones** (horloge implicite):

D	Q+
0	0
1	1

Symbole CEI



Polarité du flanc

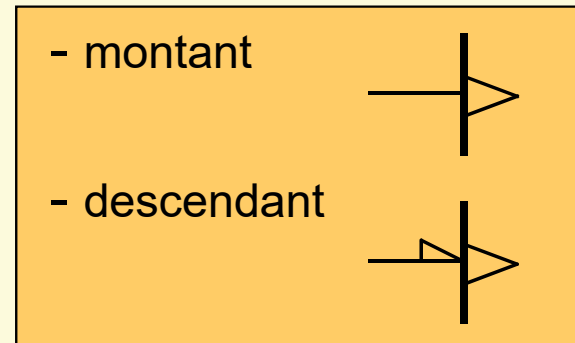
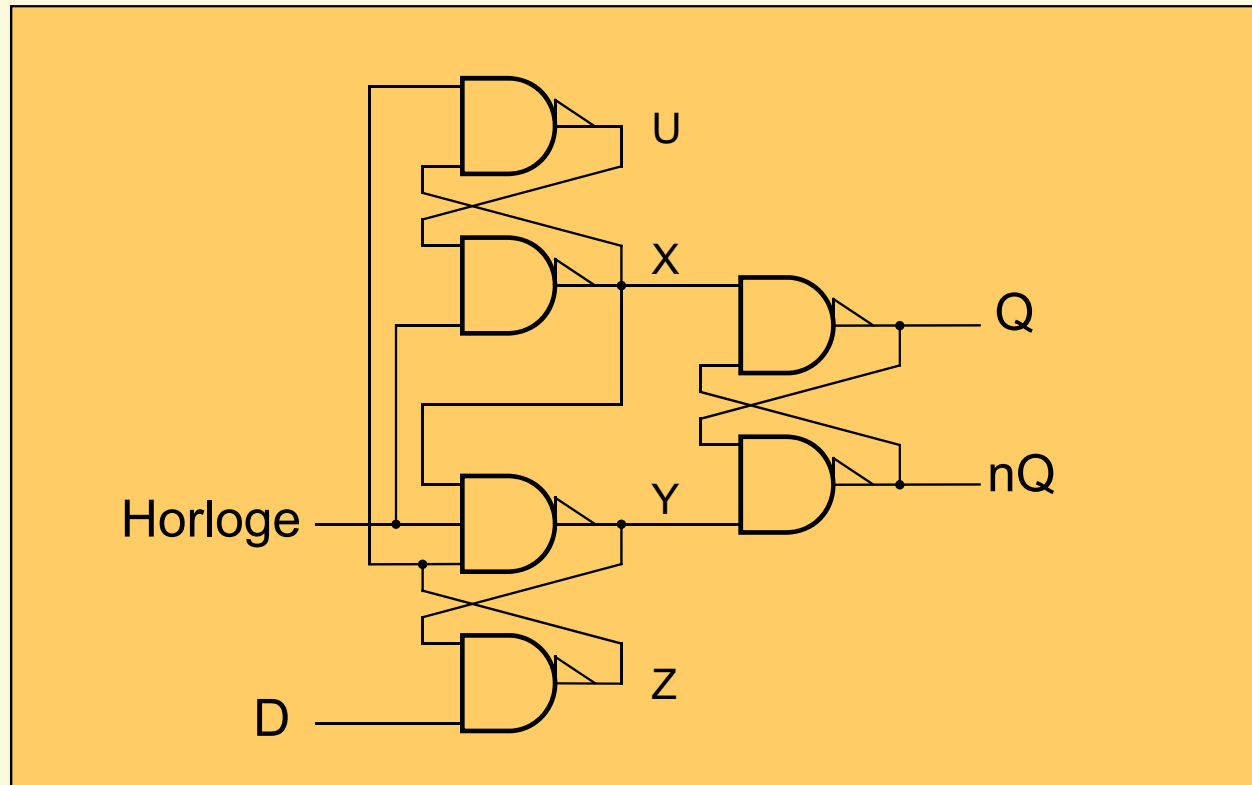
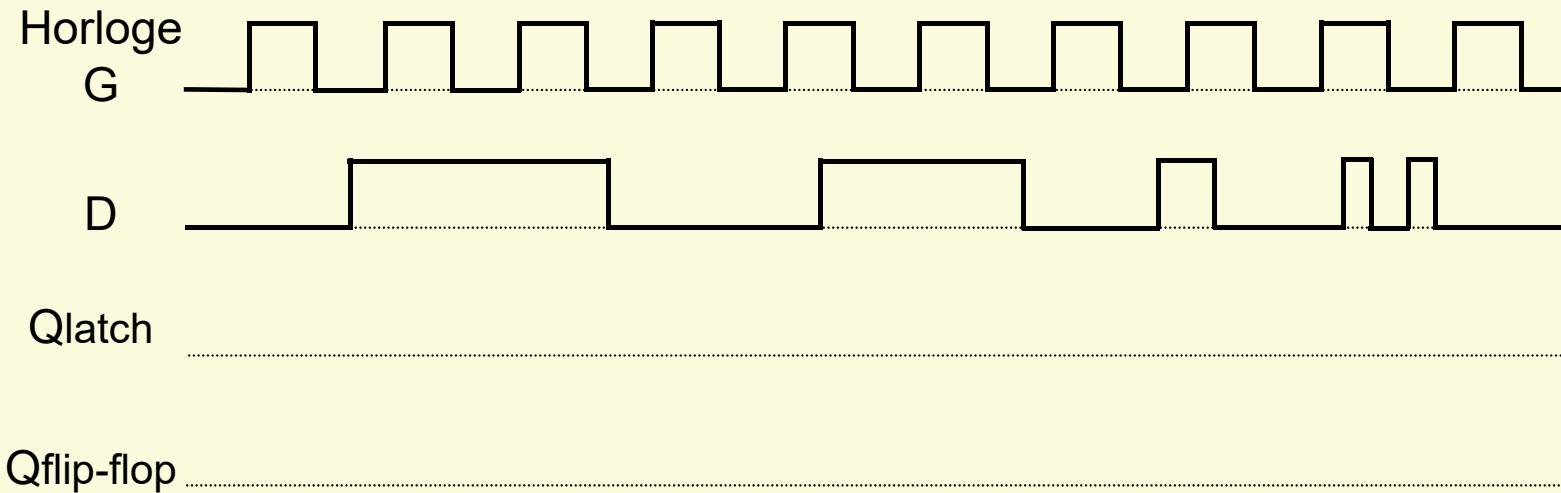


Schéma interne flip-flop D (DFF)



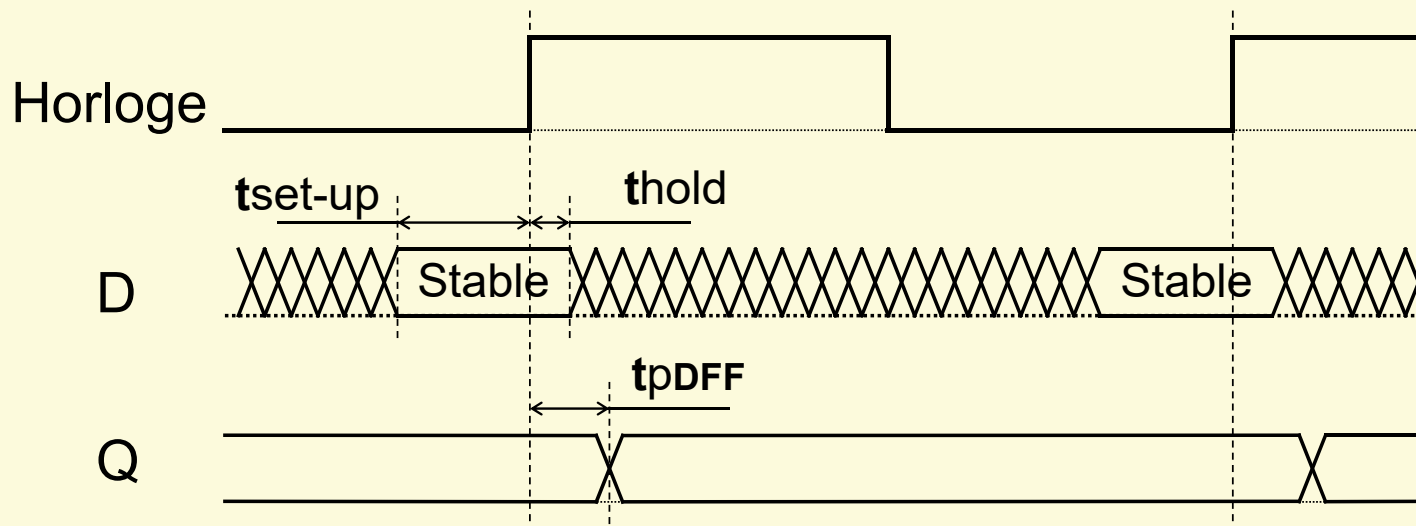
Exercice

- Complétez le chronogramme suivant pour:
un flip-flop D et pour un latch (verrou)



Les caractéristiques dynamiques découle du fonctionnement autonome du flip-flop

- L'étude du fonctionnement de la bascule maître-esclave montre ce fonctionnement autonome (similaire pour un flip-flop)



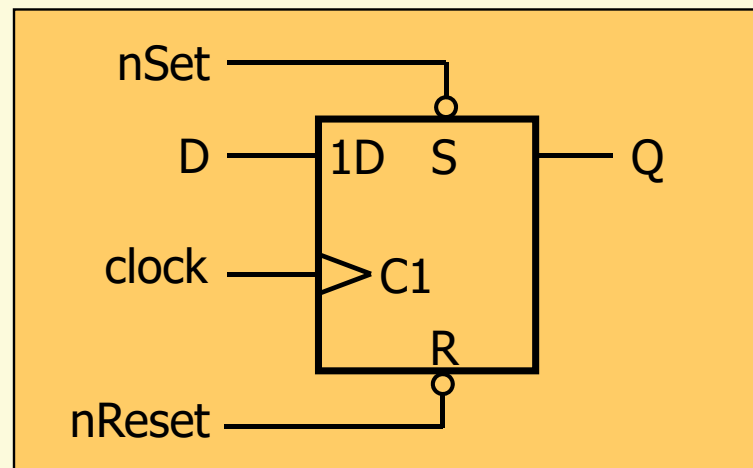
... caractéristiques dynamiques DFF

Description des différents timings:

- **tset-up**: temps de set-up
Temps pendant lequel la flip-flop prépare les signaux internes du 1^{er} étage pendant que Horloge est à '0'
- **thold**: temps de maintien
Temps pendant lequel l'entrée doit être stable pour permettre le changement de l'état de l'horloge de '0' à '1' sans perdre l'état interne.
thold est très souvent nul = 0 ns
- **tpDFF**: temps de propagation de la bascule
Temps de propagation entre le flanc actif de l'horloge et la sortie

Flip-flop D: initialisation

- Au démarrage d'un système il faut pouvoir placer les bascules dans un état déterminé \Rightarrow reset et/ou set asynchrone
 - reset actif $R \Rightarrow$ Sortie Q prend **immédiatement** la valeur 0
 - set actif $S \Rightarrow$ Sortie Q prend **immédiatement** la valeur 1
- Symbole d'un flip-flop D avec reset et set asynchrone



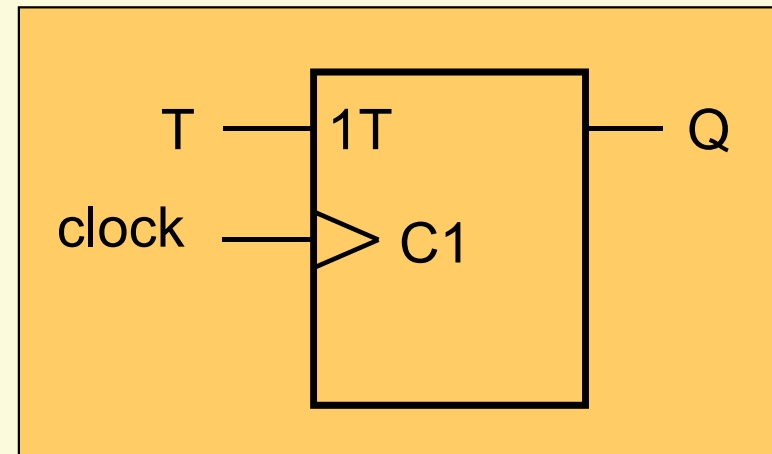
Flip-flop T (toggle)...

- Bascule sensible au flanc :
 - Si $T = 0$ alors la sortie est maintenue
 - Si $T = 1$ alors la sortie Q est inversée

Table des transitions
synchrones :

T	Q+
0	Q
1	not Q

Symbole CEI:



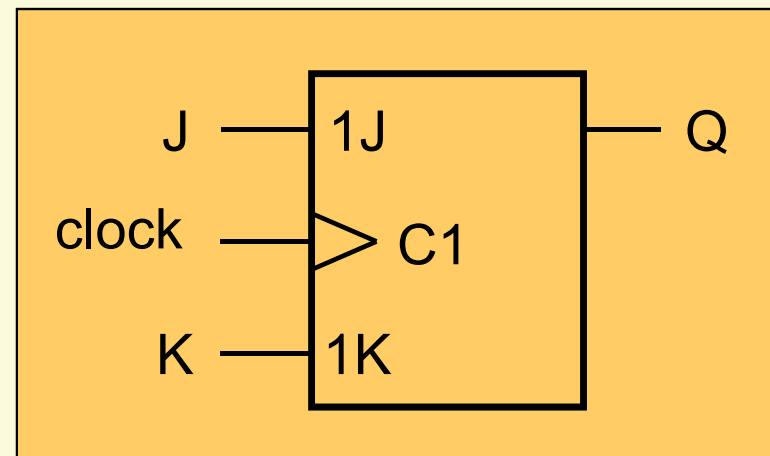
Flip-flop JK ...

- Bascule sensible au flanc :
 - si $J = K = 0$ la sortie conserve sa valeur (hold)
 - si $J = 1$ et $K = 0$ la sortie prend la valeur 1 (set)
 - si $K = 1$ et $J = 0$ la sortie prend la valeur 0 (reset)
 - si $J = K = 1$ la sortie prend l'état inverse (toggle)

Table des transitions
synchrones :

J	K	Q+
0	0	Q
0	1	0
1	0	1
1	1	not Q

Symbole CEI:



... flip-flop JK ...

- Autre table des transitions synchrones pour flip-flop JK

Etat présent	Etat suivant	J	K
'0'	'0'	'0'	'-'
'0'	'1'	'1'	'-'
'1'	'0'	'-'	'1'
'1'	'1'	'-'	'0'