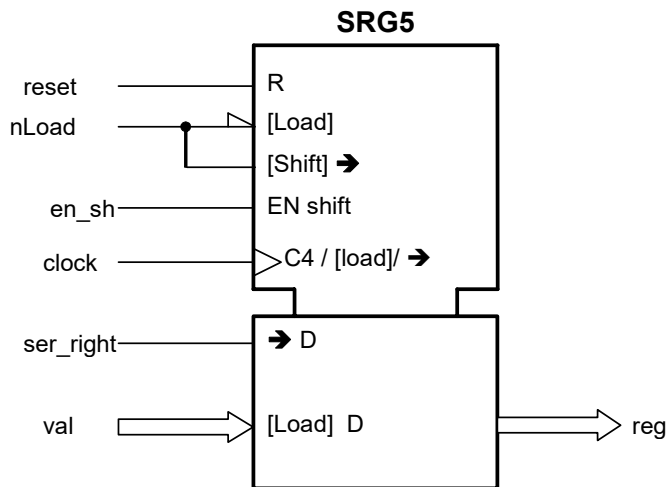


Exercice 80 :

Soit le symbole du registre à décalage suivant :



- Analysez et expliquez le fonctionnement du registre à décalage ci-dessus. Donnez la table des fonctions synchrones du registre à décalage
- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du registre à décalage ci-dessus (inclus schéma fonctionnel du décodeur d'états futurs)
- Donnez la description en VHDL synthétisable du registre

Exercice 81:

Concevoir un registre à décalage de 10 bits ayant tous les mêmes fonctionnalités que le registre de l'exercice 80.

Vous baserez votre solution sur 2 registres de l'exercice 80 et de portes logiques.

Exercice 82a:

Soit un registre à décalages de 8 bits disposant des fonctions suivantes :

- le chargement parallèle
 - le maintien de la valeur actuelle
 - le décalage à gauche ou à droite d'une position (un pas) en un seul coup d'horloge.
- Analysez et expliquez le fonctionnement du registre à décalage spécifié ci-dessus. Etablir la liste des entrées/sorties nécessaires au fonctionnement
 - Donnez la table des fonctions synchrones du registre à décalage
 - Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du registre à décalage ci-dessus
 - Donner la description en VHDL synthétisable de ce registre à décalage

Exercice 82b:

Réaliser un registre à décalage de 8 bits ayant les fonctionnalités du registre de l'exercice précédent avec la fonction supplémentaire suivante :

- le décalage à gauche ou à droite de une ou quatre positions en un seul coup d'horloge.

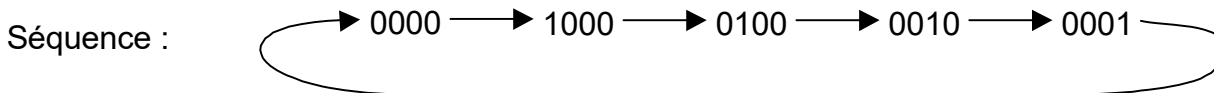
Refaire les points a), b), c) et d) comme l'exercice précédent.

Exercice 83:

Concevoir un circuit dont la sortie est un signal synchrone ayant une fréquence égale au tiers de la fréquence d'horloge. Le circuit doit s'auto-corriger s'il sort de la séquence utile. Cela signifie que le circuit ne doit pas comporter de boucle parasite. D'autre part, la sortie doit être exempte de transitoires.

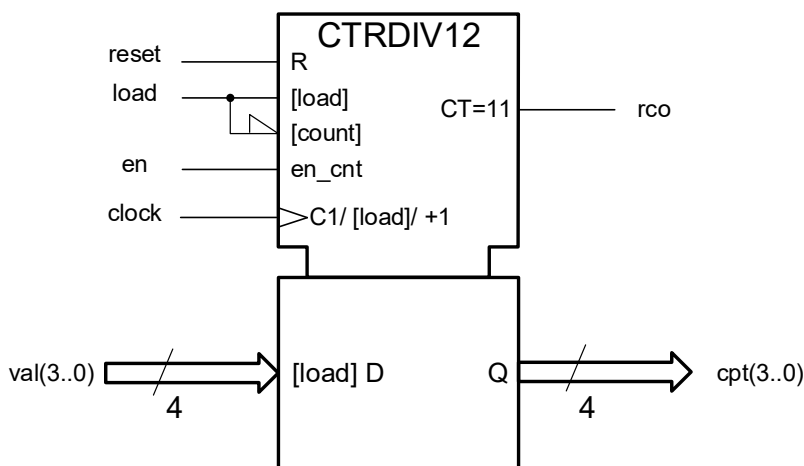
Exercice 84:

Concevoir un compteur suivant la séquence ci-dessous en utilisant un registre à décalage à droite de 4 bits (utiliser SRG4 vu en cours). Un tel compteur est appelé compteur en anneau simple.



Exercice 85:

Soit le symbole du compteur modulo 12 suivant :

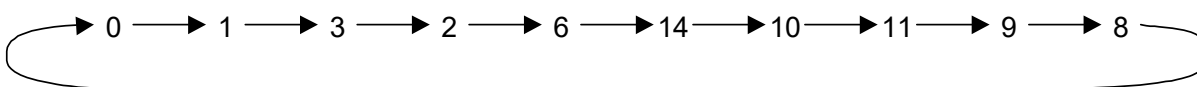


Nous souhaitons réaliser un compteur modulo 12 pour gérer les heures d'une horloge.

- Analysez et expliquez le fonctionnement du compteur. Donnez la table des fonctions synchrones
- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
- Donnez la description, en VHDL synthétisable, de ce compteur selon votre décomposition

Exercice 86:

Concevoir un compteur parcourant la séquence suivante :



- Quel est l'intérêt de cette séquence ?
- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
- Donner la description en VHDL synthétisable de ce compteur
- Une réalisation à l'aide d'un compteur binaire intégré et d'une PROM est-elle réaliste ?

Exercice 87:

Nous ajoutons les fonctions suivantes au compteur de l'exercice 86:

- Sélection du mode de comptage ou décomptage
- Fonction de chargement synchrone

Refaire la conception du compteur avec les nouvelles fonctions, soit :

- Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
- *Donner la description en VHDL synthétisable de ce compteur*

Exercice 88: (PPT exe III 4)

Soit un compteur ayant le fonctionnement suivant :

- lorsque l'entrée LONG_H est inactive, le compteur parcourt la séquence $2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7$.
 - lorsque l'entrée LONG_H est active, le compteur parcourt la séquence $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 10$.
 - Lorsque l'entrée COND5_H est inactive le compteur s'arrête à l'état 4, sinon le compteur parcourt l'une des séquences définies ci-dessus.
- a) Analyser le fonctionnement et donnez les fonctions synchrones nécessaires au fonctionnement du système
 - b) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
 - c) Donner ensuite la description, en VHDL synthétisable, de ce compteur

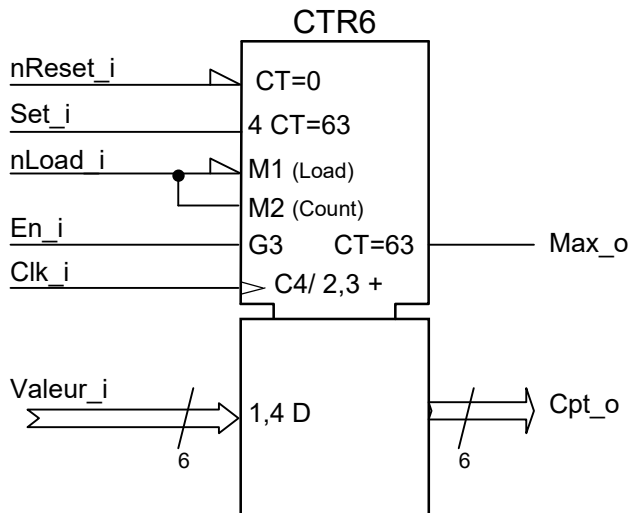
Exercice 89:

Nous avons réalisé un compteur modulo 2501 à l'aide de quatre compteurs '160 cascades (16 bits), en remettant les 4 circuits à zéro lorsque l'état 2501 est atteint. Le fait que cet état soit de brève durée ne nous gêne pas.

Quels problèmes de fonctionnement posera ce compteur, et comment les résoudre ?

Exercice 90:

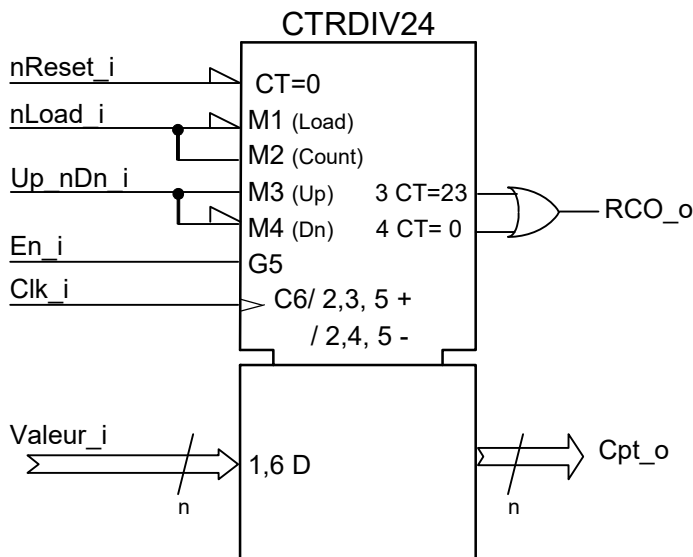
Soit le symbole CEI du compteur suivant :



- a) Analysez et expliquez le fonctionnement du compteur ci-dessus.
- b) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du compteur v ci-dessus (inclus schéma fonctionnel du décodeur d'états futurs et de sorties)
- c) Donnez la description en VHDL synthétisable du compteur

Exercice 91:

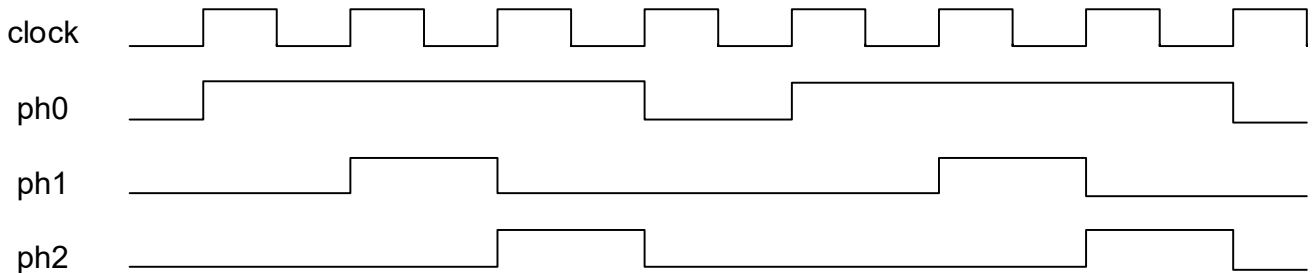
Nous souhaitons réaliser un compteur pour les heures d'une horloge, celui-ci doit donc être modulo 24. Il est prévu que nous puissions ajuster l'heure, il pourra donc réaliser l'incrémentation ou la décrémentation. Voici le symbole CEI de ce compteur :



- a) Analysez et expliquez le fonctionnement du compteur ci-dessus. Déterminer le nombre de bits du compteur : $n = ?$
- b) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du compteur v ci-dessus (inclus schéma fonctionnel du décodeur d'états futurs et de sorties)
- c) Donnez la description en VHDL synthétisable du compteur

Exercice 92: Réaliser un générateur de séquence selon la spécification ci-dessous. Les signaux doivent être sans aléas, cela signifie qu'ils doivent correspondre directement à une sortie de flip-flop.

Séquence à générer:



- d) Analysez le fonctionnement du générateur de séquence ci-dessus. Donnez la table des fonctions synchrones
- e) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, du générateur de séquence ci-dessus
- f) Donnez la description en VHDL synthétisable du générateur de séquence

Exercice 93:

Soit un compteur ayant le fonctionnement suivant :

- lorsque l'entrée *count* est active, le compteur parcourt la séquence $2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7$.
 - lorsque l'entrée *count* est inactive, le compteur parcourt la séquence $10 \rightarrow 9 \rightarrow 8 \rightarrow \dots \rightarrow 1 \rightarrow 0$.
 - Lorsque l'entrée *stop4* est active le compteur s'arrête à l'état 4, sinon le compteur parcourt l'une des séquences définies ci-dessus.
- d) Analyser le fonctionnement et donnez les fonctions synchrones nécessaires au fonctionnement du système
 - e) Donnez le schéma fonctionnel, selon la décomposition d'un système séquentiel, de ce compteur
 - f) Donner ensuite la description, en VHDL synthétisable, de ce compteur