

Exercice 40 :

Concevoir un décodeur 4 à 16 avec un *enable* en utilisant 5 décodeurs 2 à 4 disposant d'un *enable*.

- Donnez le symbole CEI du décodeur 4 à 16.
- Vous donnerez le schéma du décodeur 4 à 16.

Exercice 41

Concevoir un décodeur 3 à 8 avec uniquement des décodeurs 1 à 2 avec EN. Donner le schéma.

Exercice 42 :

Donnez la description en VHDL synthétisable d'un décodeur 4 à 16.

Exercice 43 :

Réalisez les fonctions suivantes avec des décodeurs et des portes OU :

- a) $F_1(CBA) = \Sigma 0, 3, 5, 7$
- b) $F_2(CBA) = \Sigma 1, 5, 6$
- c) $Y(CBA) = \Sigma 0, 1, 6, 7$ et $Z(CBA) = \Sigma 1, 2, 4, 6$
- d) $U(CBA) = \Sigma 0, 5 + '1' \Sigma 2, 7$ et $V(CBA) = \Sigma 2, 3, 5 + '1' \Sigma 4$
- e) $P(CBA) = \Sigma 0, 5 + '1' \Sigma 2, 7$ et $Q(CBA) = \Sigma 0, 2, 4 + '1' \Sigma 6, 7$

Exercice 44 :

Établir le symbole CEI d'un MUX 16→1 ayant une entrée ENABLE active basse et une sortie inversée, ce qui correspond au circuit 74ALS150.

Exercice 45 :

Réaliser les trois fonctions ci-dessous avec un MUX 8→1, et ensuite avec un MUX 4→1.

- $F_a(C, B, A) = \Sigma 0, 1, 3, 4, 5, 6, 7$
- $F_b(C, B, A) = \Sigma 0, 1, 4, 5, 6, 7$
- $F_c(C, B, A) = \Sigma 0, 1, 5, 7$

Exercice 46 :

Réaliser les fonctions données ci-dessous à l'aide d'un seul Mux 2à1 et, si nécessaire, une porte NON

$$F_{\text{not}} = \neg A \quad F_{\text{and}} = A \cdot B \quad F_{\text{or}} = A + B \quad F_{\text{xor}} = \neg A \cdot B + A \cdot \neg B$$

Exercice 47 :

Réaliser un MUX 16→1 à l'aide de 2 MUX 8→1 (avec EN, type 74LS151) et de portes.

Exercice 48 :

Concevoir un multiplexeur 8 à 1 avec uniquement des multiplexeurs 2 à 1. Donner le schéma.

Exercice 49 :

Concevoir un générateur universel de fonctions de deux variables A et B. Un tel circuit dispose de 4 entrées de sélection C_3, C_2, C_1 et C_0 permettant de choisir la fonction $F(A,B)$ désirée (en plus des deux variables A et B). La sortie du système est constituée par la fonction F.

Exercice 50 :

Réalisez la fonction majorité à 3 entrées. Cette fonction est active (niveau 1) lorsque la majorité de ses 3 entrées vaut 1. Réalisez cette fonction avec le ou les circuits proposés :

- Un décodeur 3 à 8 et des portes OU
- Plusieurs décodeur 1 à 2, minimiser le nombre de décodeur, et des portes OU
- Un multiplexeur et evtl une porte NON.
- Plusieurs multiplexeurs 2 à 1, minimiser le nombre de multiplexeurs.

Exercice 51 :

Soit un circuit ayant trois entrées GR2, GR1 et GR0 constituant un nombre en code Gray, et 4 sorties nPHA1, nPHA2, nPHA3 et nPHA4 actives basses, telles que :

- PHA1 est active lorsque le code d'entrée représente 1.
- PHA2 est active lorsque le code d'entrée représente 2.
- PHA3 est active lorsque le code d'entrée représente 4.
- PHA4 est active lorsque le code d'entrée représente 6.

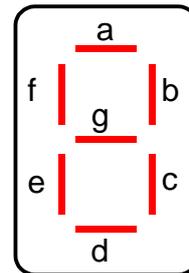
Dans les autres cas, les sorties sont inactives. Réaliser ce circuit de la façon la plus économique.

Exercice 52 :

Nous souhaitons réaliser le transcodeur suivant : un chiffre BCD → affichage 7 segments

Voici le schéma de l'affichage 7 segments :

Pour allumer un segment, il faut imposer une tension inférieure à 0,8 [V].



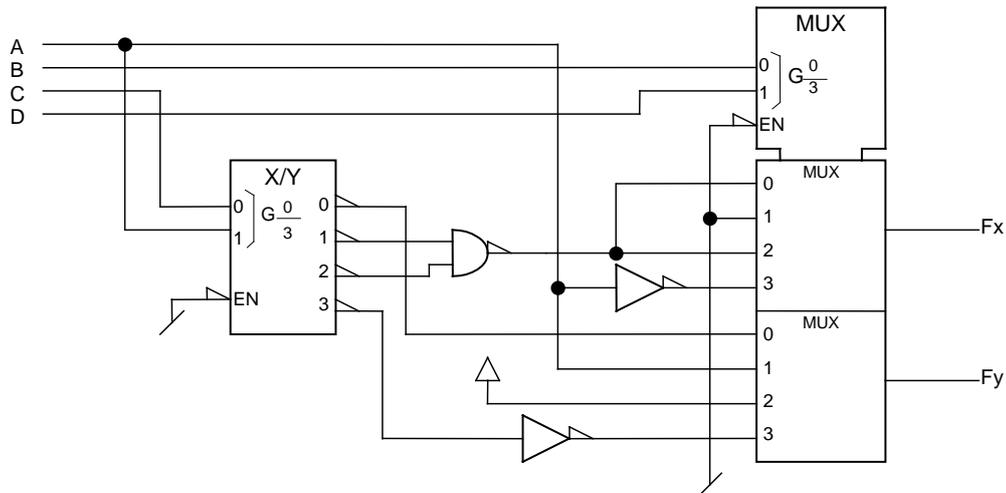
Démarche pour résoudre l'exercice :

- Déterminez les entrées/sorties du transcodeur et choisissez des noms explicites.
- Analysez le problème du transcodeur et indiquez comment vous afficher chaque chiffre.
- Etablissez la table de vérité du transcodeur. Nous utiliserons tous les signaux en logique positive.
- Déterminez les équations simplifiées des sorties du transcodeur et dessinez le schéma logique
- Concevez et réalisez une solution en utilisant des multiplexeurs et des portes NON
- Concevez et réalisez une solution en utilisant des décodeurs et des portes NON et OU
- Donnez la description en VHDL synthétisable du transcodeur BCD/7 segments

Pouvez-vous indiquer quelle est la réalisation la plus économique entre les points d), e) et f) ?

Exercice 53 :

Déterminez les équations des deux fonctions du schéma ci-dessous (simplifiez les équations).

**Exercice 54 :**

Un système combinatoire est constitué des entrées et sorties suivantes :

Entrées : un nombre codé sur 3 bits : NBR2, NBR1, NBR0
 une valeur de comparaison 3 bits : VC2, VC1, VC0

Les entrées NBR2..0 forment un nombre variant de 0 à 7. Il en est de même pour VC2..0

Sorties : un affichage de 8 leds : Led7, Led6, Led5, Led4, Led3, Led2, Led1, Led0

Description du fonctionnement du système :

- Lorsque NBR2..0 est plus grand que la valeur de comparaison VC2..0 : les leds ayant un indice inférieur ou égal à la valeur représentée par NBR2..0 sont allumés.
- Lorsque NBR2..0 est plus petit que la valeur de comparaison VC2..0 : les leds ayant un indice supérieur à la valeur représentée par NBR2..0 sont allumés.

Exemple :

NBR2..0 = 101 et VC2..0 = 010

Led	7	6	5	4	3	2	1	0
	□	□	■	■	■	■	■	■

NBR2..0 = 100 et VC2..0 = 110

Led	7	6	5	4	3	2	1	0
	■	■	■	□	□	□	□	□

Etat des sorties : □ led éteinte = '0', ■ led allumée = '1'

Donner le schéma bloc du système (décomposition).

Donner la description VHDL synthétisable du système.

Exercice 55 :

Voici la description d'un système combinatoire :

Entrées (total 15) :

Valeur actuelle 4 bits	VA(3...0)
Valeur de comparaison 4 bits	VC(3...0)
Valeurs à ajouter	UN, DEUX, CINQ, DIX
Signaux de commandes	ADD, DECR, INIT

Les entrées VA3..0 forment un nombre variant de 0 à 15. De même pour les entrées VC3..0.

Les signaux des valeurs à ajouter ne sont actifs qu'un à la fois, ou aucun. De même pour les signaux de commandes.

Sorties (total 6) :

Valeur suivante 4 bits	VS(3..0)
Résultat de comparaison	PP, EG

Les signaux VS3..0 forment un nombre variant de 0 à 15.

Le comportement du système combinatoire est le suivant :

- Lorsque l'entrée INIT est active : VS3..0 = 0,0,0,0
- Lorsque l'entrée DECR est active : VS3..0 = VA3..0 moins 1
- Lorsque l'entrée ADD est active : VS3..0 = VA3..0 plus 1, 2, 5 ou 10 si l'entrée correspondante est active.
- Lorsque l'entrée ADD est active, une des entrées UN, DEUX, CINQ ou DIX est aussi active.
- Lorsque ni INIT, ni DECR, ni ADD ne sont actives : VS3..0 = VA3..0
- La sortie PP est active lorsque VA3..0 est inférieur à VC3..0.
- La sortie EG est active lorsque VA3..0 est égale à VC3..0.

Donner le schéma bloc du système décrit ci-dessus (décomposition en fonctions standards)

Établir les descriptions du système décrit ci-dessus en utilisant le langage VHDL. Vous donnerez les fichiers prêts à être synthétisés.

Exercice 56 :

Décrire en VHDL synthétisable un additionneur de 2 nombres de 4 bits. Le résultat sera donné sur 4 bits. Vous utiliserez le paquetage *Numeric_Std* pour décrire l'addition.

Exercice 57 :

Décrire en VHDL synthétisable un additionneur de 2 nombres de 4 bits disposant d'un report d'entrée et de sortie. Le résultat sera donné sur 4 bits avec report. Vous utiliserez le paquetage *Numeric_Std* pour décrire l'addition.