Conception de Systèmes Numériques sur FPGA

Conception Full Synchrone

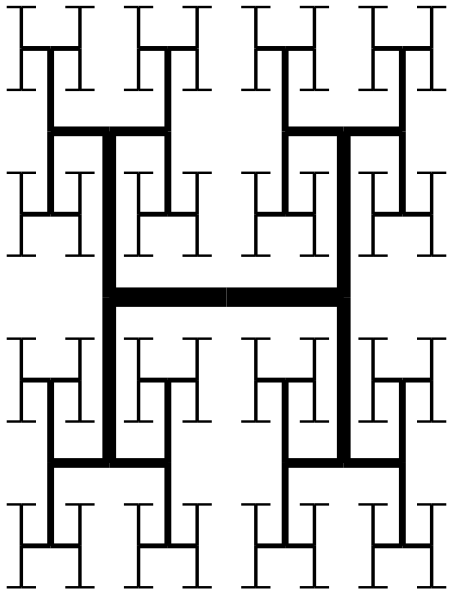
Yann Thoma

Reconfigurable and Embedded Digital Systems Institute
Haute Ecole d'Ingénierie et de Gestion du Canton de Vaud

Février 2017

Pourquoi "Full synchrone"?

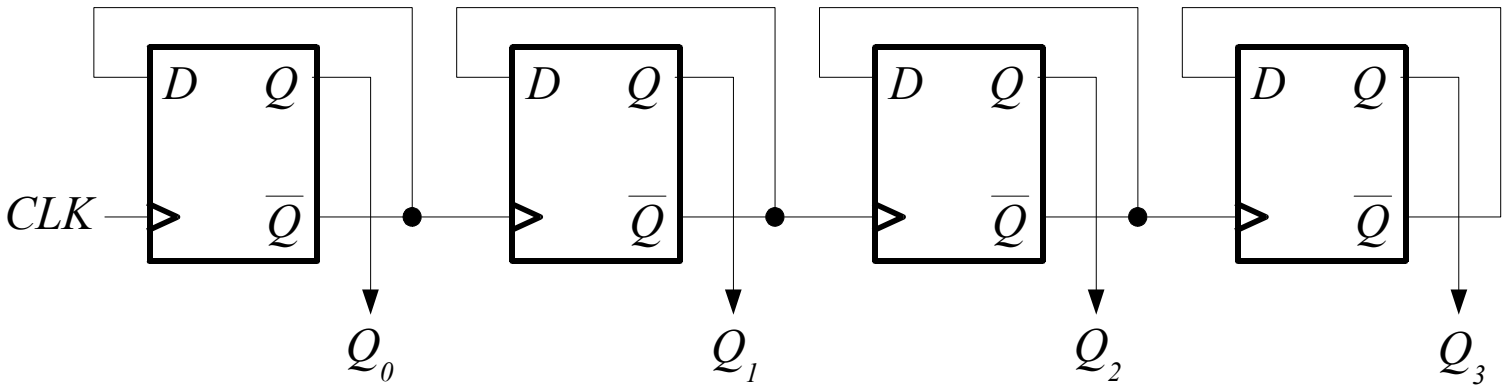
- Avantages de la conception full synchrone:
  - Permet une abstraction, facilite la conception
  - Evolution prédictible, changement vu au prochain flancs
  - Retard identique pour chaque sortie de flip-flop
  - Analyse statique permet de déterminer la fréquence maximum de fonctionnement
  - Arbre d'horloge prédéfinit dans les PLDs
    - $\Rightarrow$ Très bonne intégration des designs full synchrone



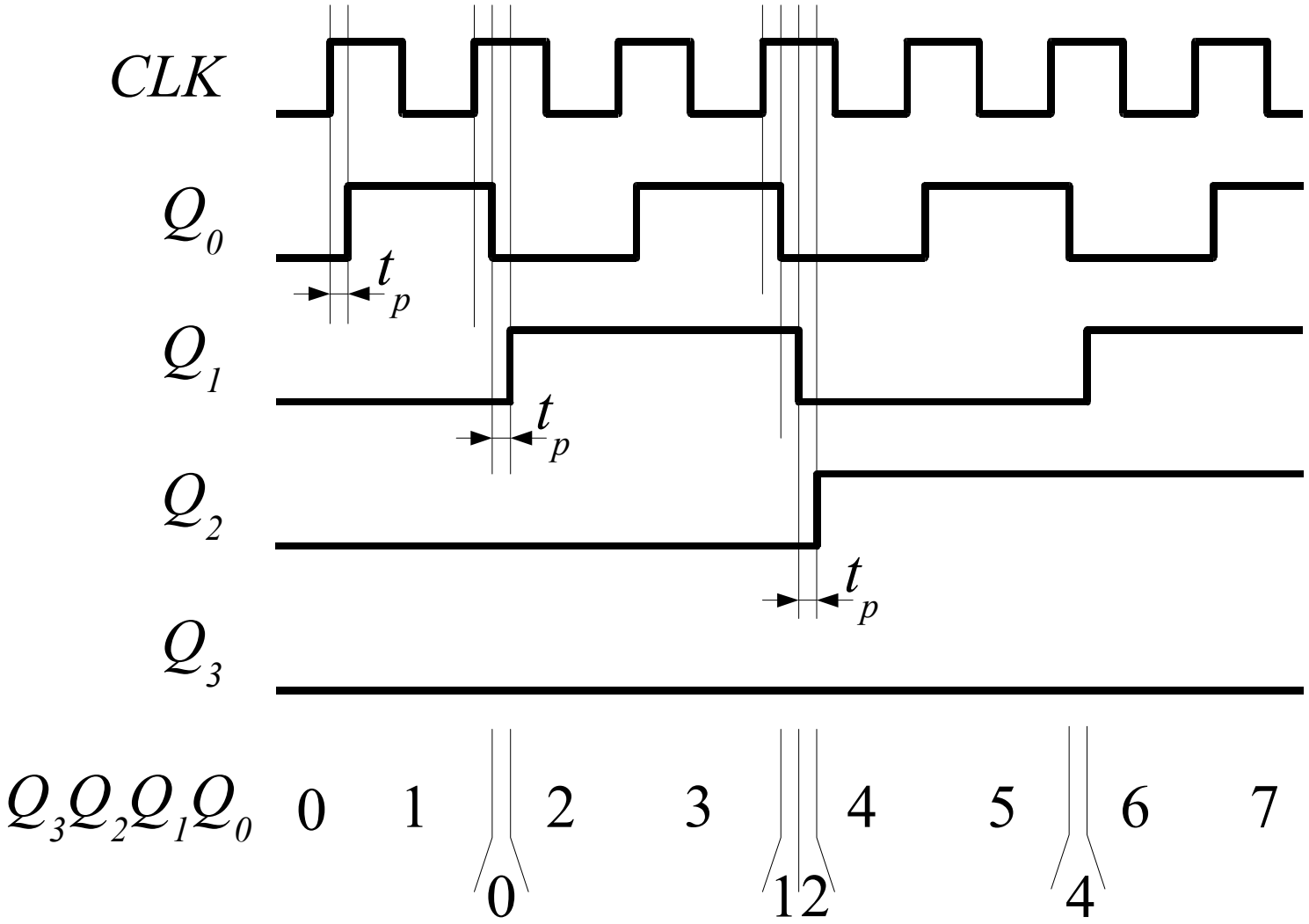
Type de conception

- Pseudo-synchrone
  - L'horloge d'un flip-flop dépend du ou des flip-flops précédents
- Full synchrone
  - Toutes les flip-flops sont synchronisées par le même signal d'horloge

Compteur pseudo synchrone (ripple counter)



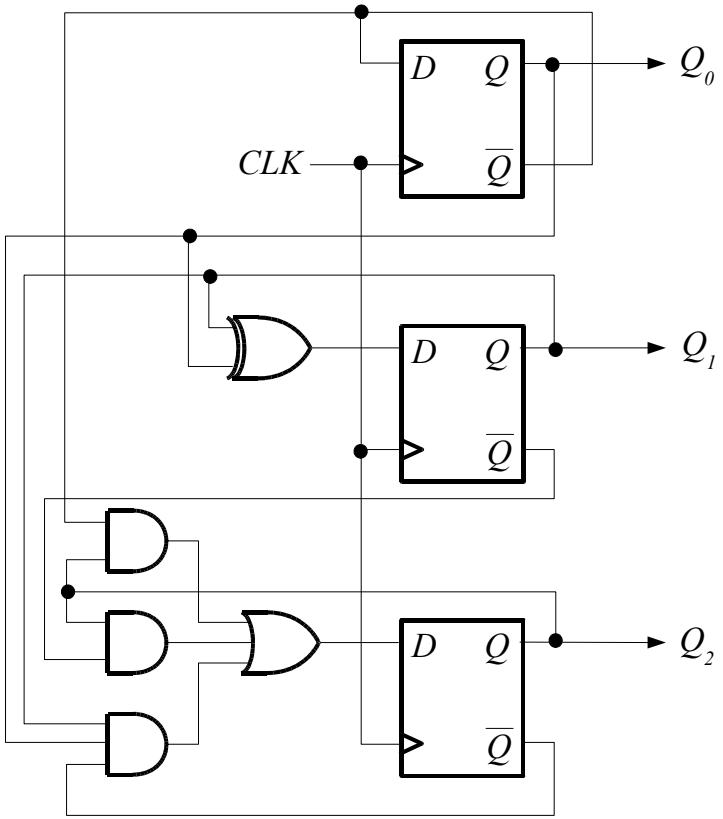
Compteur pseudo synchrone



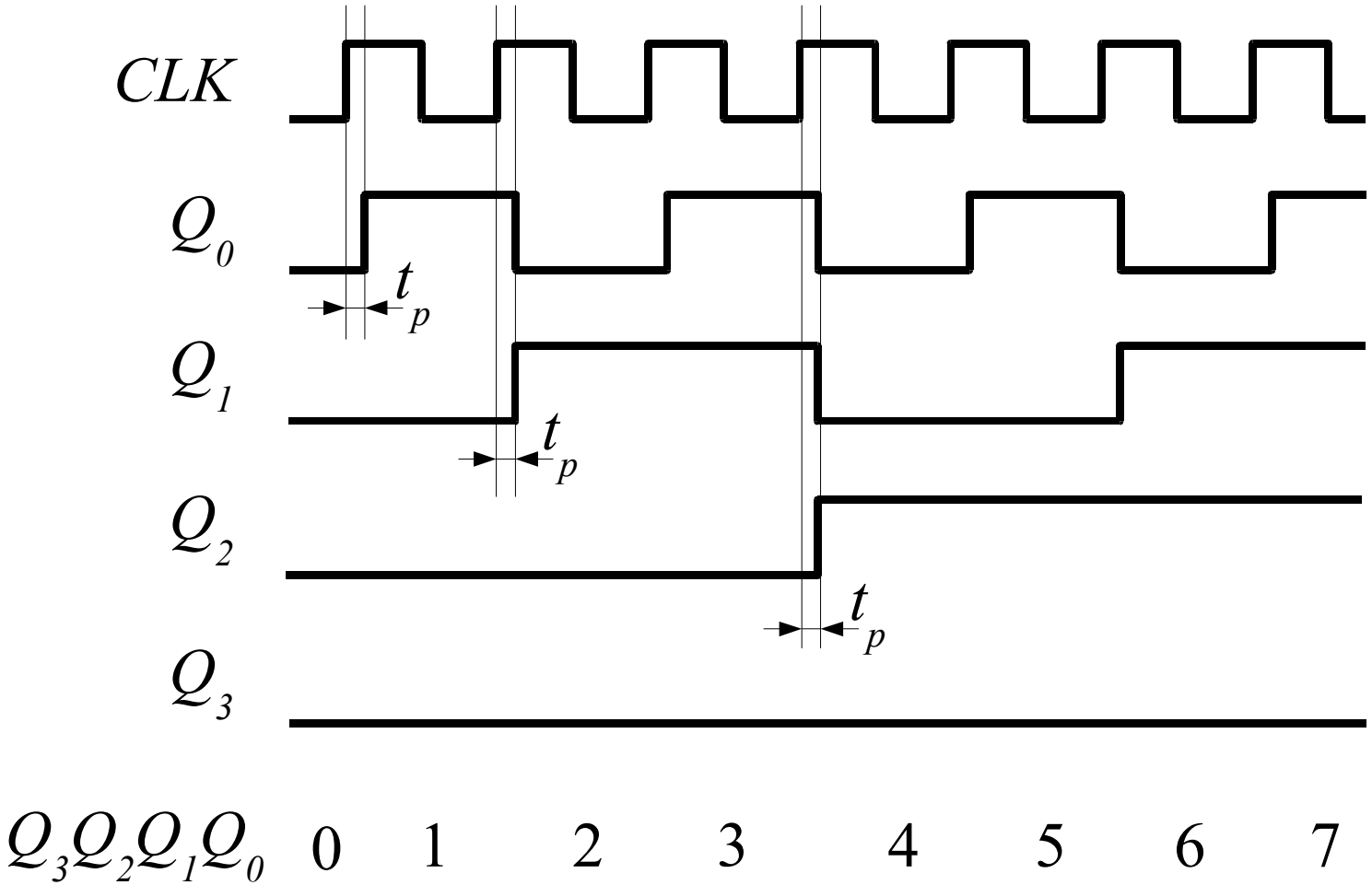
Compteur pseudo synchrone: Analyse

- Construction très simple
- Pas synchrone, donc:
  - Retard variable pour chaque sortie
  - Retard cellule N : $T_n = N \times tp$
  - Très difficile à tester (vérification timing)
  - Possible que la sortie change après le flanc suivant de l'horloge
- Très mauvaise intégration dans des PLDs

Compteur full synchrone



Compteur synchrone



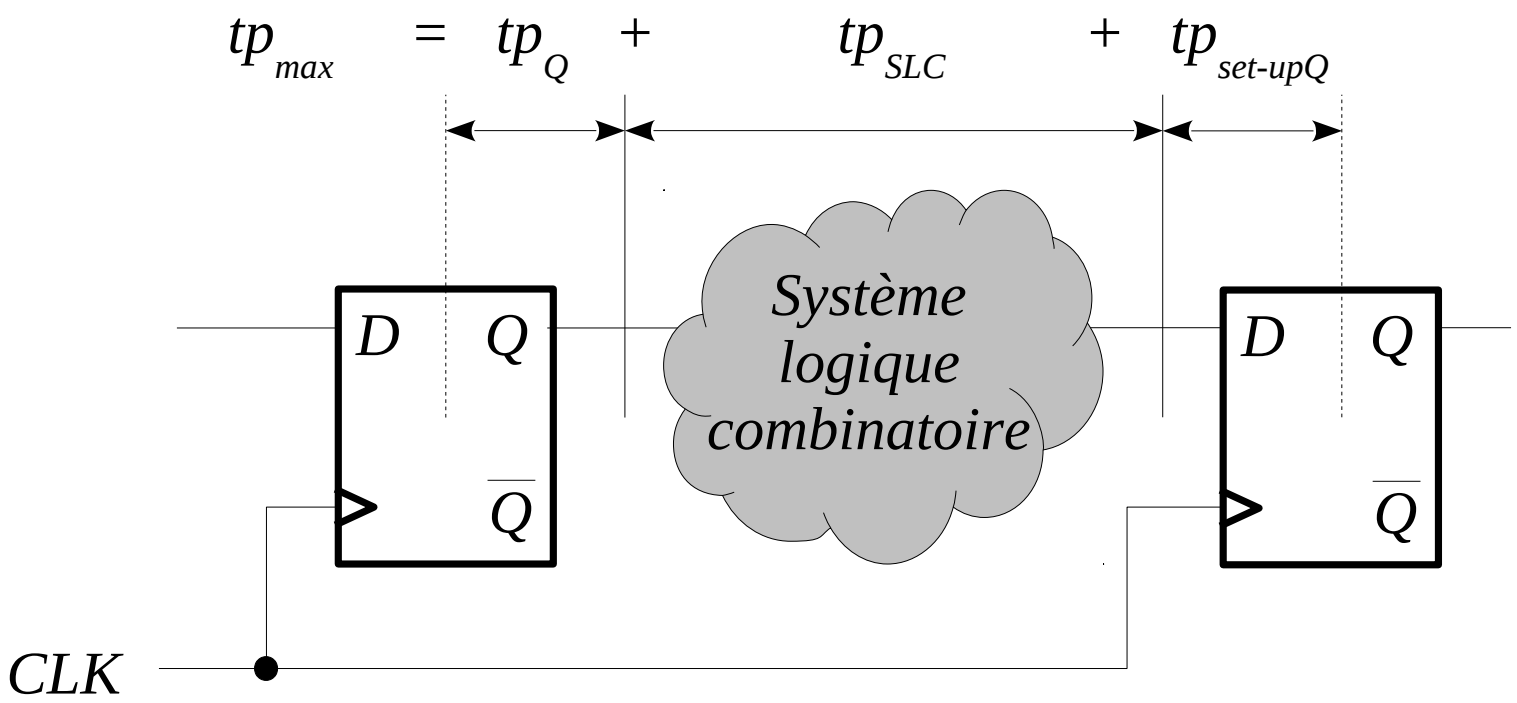
Compteur full synchrone: Analyse

- Construction plus complexe
- Synchrone, donc:
  - Retard identique pour chaque sortie indépendant de la taille du compteur
  - Vérification simple de la fréquence maximum :

$$F_{max} < \frac{1}{tp_{DFF} + tp_{COMB} + tset - up_{DFF}}$$

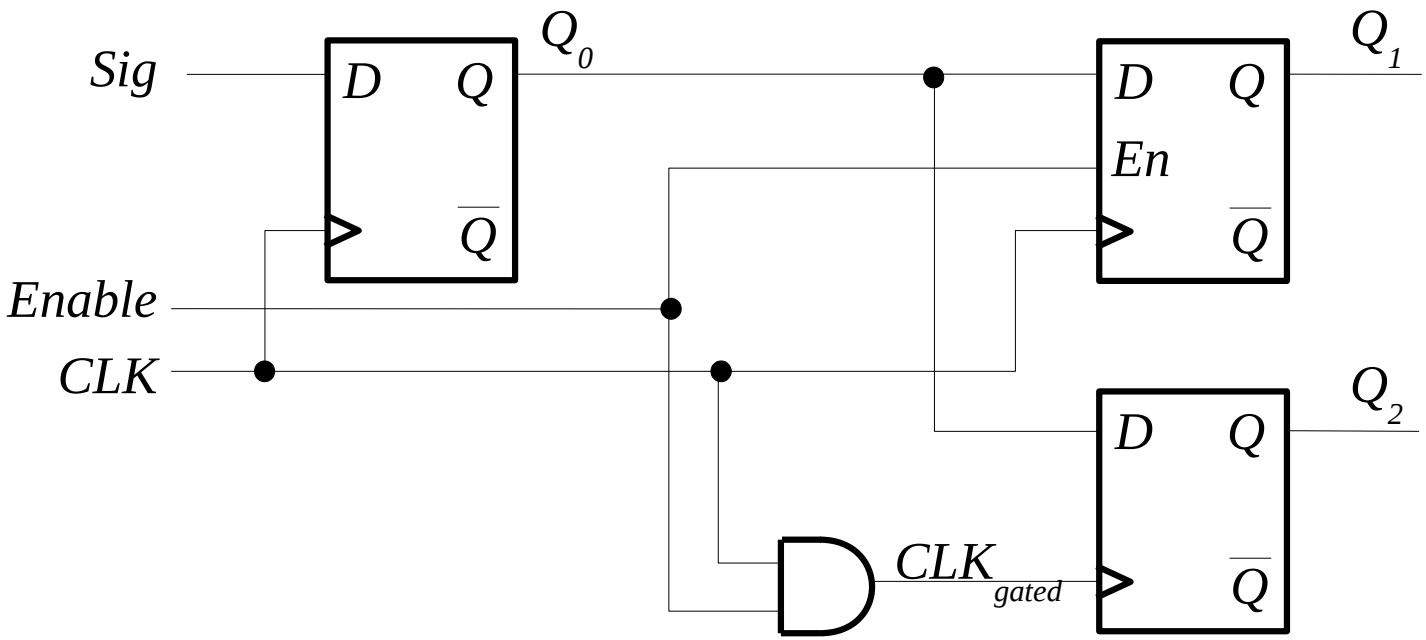
  - Mauvais fonctionnement impossible si $F > F_{max}$
- Très bonne intégration dans des PLDs
- Arbre d'horloge dans les PLDs => timing garanti !

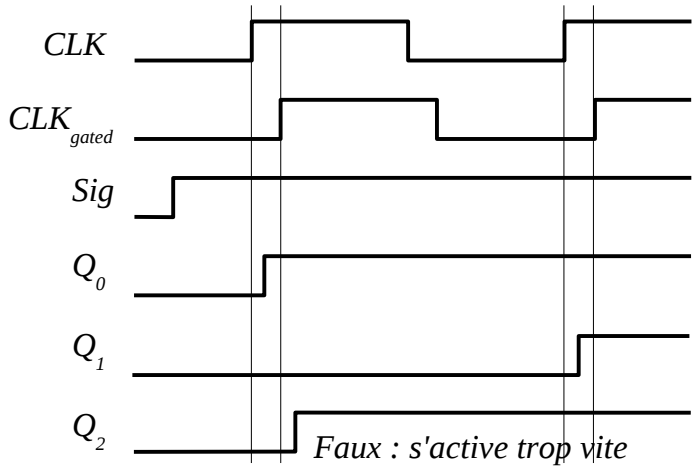
Analyse statique des temps



- Dès lors: si $F_{sys} \leq F_{max}$ le fonctionnement est garanti!

Problème avec gated clock



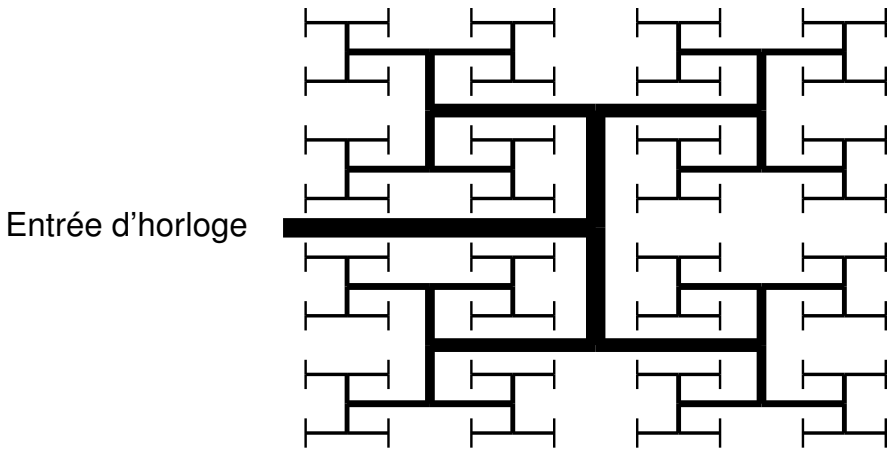


Problème avec gated clocks

- Analyse bascule Q_1 :
  - Q_0 arrivera TOUJOURS après le flanc montant
  - Q_1 sera mis à jour au prochain flanc
  - Fonctionnement indépendant des timings du circuit
- Analyse bascule Q_2 :
  - Q_0 arrivera TOUJOURS après le flanc montant
  - Mais le flanc montant de Clk_{gated} est retardé !
  - Risque que la bascule Q_2 voit le changment de Q_0 durant le même flanc
  - Fonctionnement dépend timings portes & connections !!

Arbre d'horloge

- Dans un PLD il y a un arbre d'horloge pré-cablé
- L'arbre garanti que *tous* les flip-flops voient l'horloge au même instant
- L'arbre doit être équilibré



Full synchrone: validation

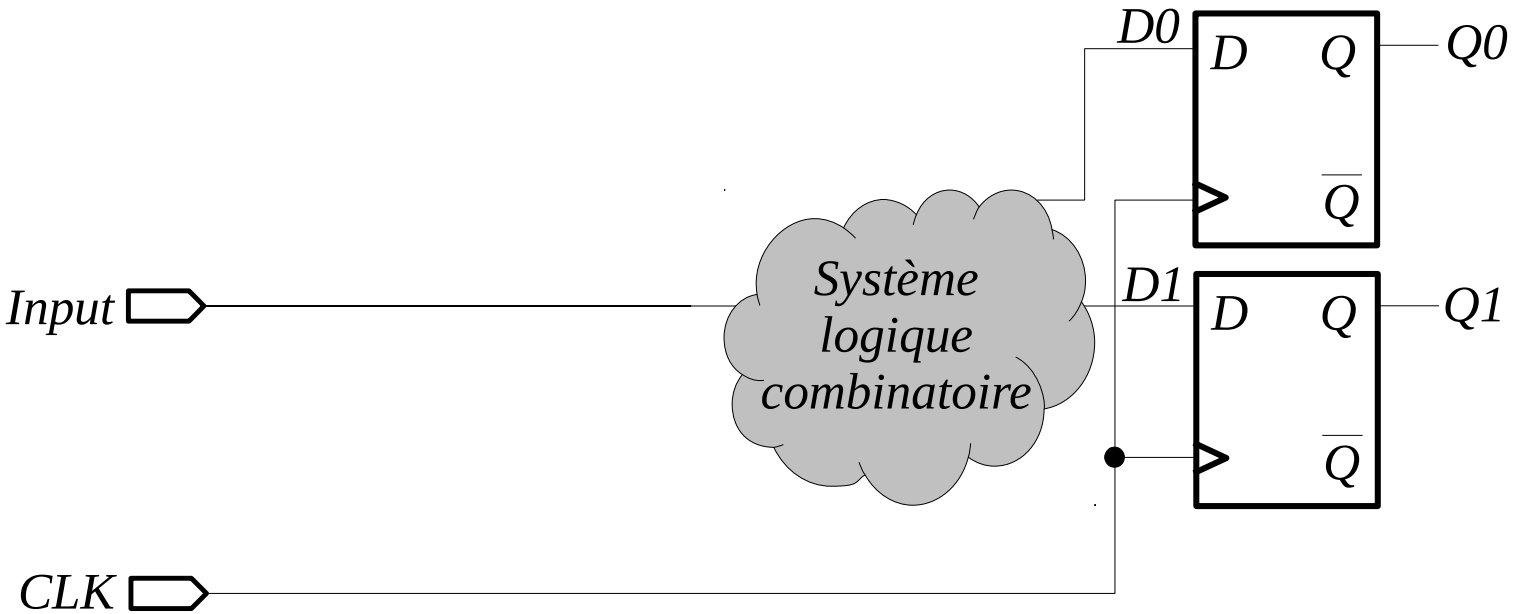
- Avec une conception full synchrone,

1. Une simulation comportementale
2. Et une analyse statique des timings

- Permettent de valider le système
- Attention toutefois aux entrées/sorties...
  - Partie la plus délicate à vérifier/tester

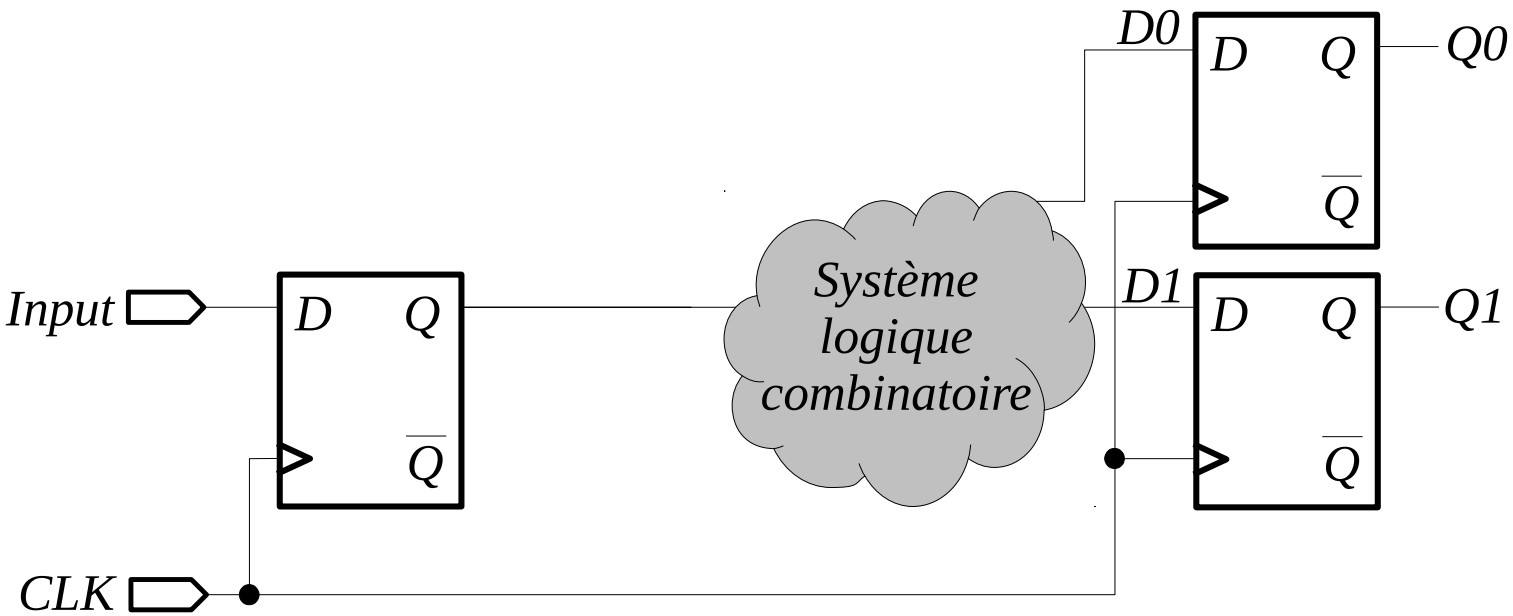
Entrées-sorties

- Pas de contraintes sur les sorties
- Sur les entrées: problème



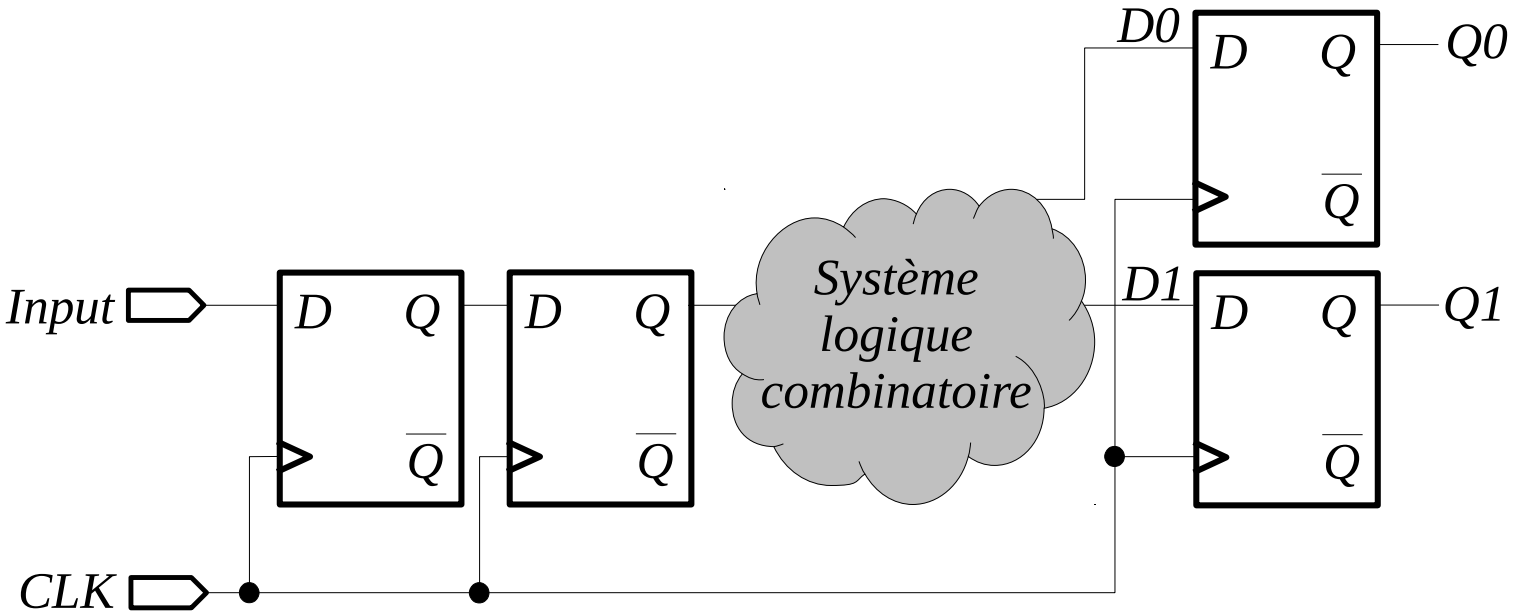
Entrées-sorties

- Synchronisation de l'entrée



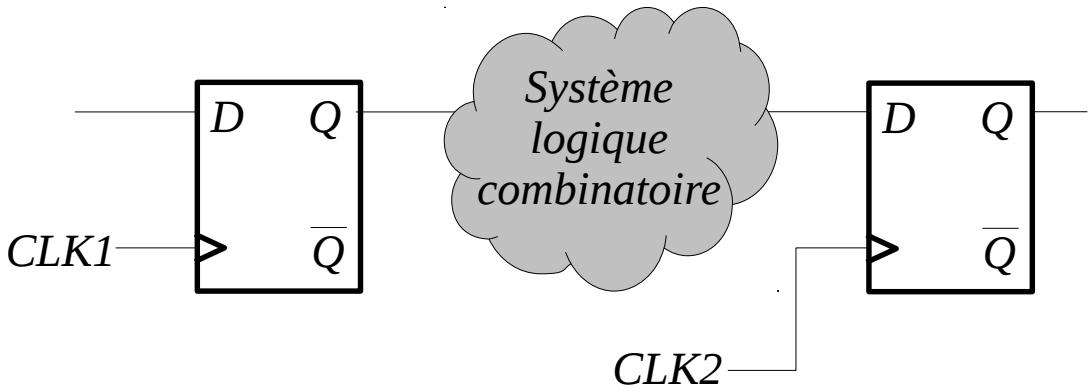
Entrées-sorties

- Solution: Double synchronisation de l'entrée



Plusieurs domaines d'horloge

- Les designs complexes ont à l'heure actuelle plusieurs domaines d'horloge
- Les FPGAs ont plusieurs arbres d'horloge
- Problème: synchroniser les domaines



Plusieurs domaines d'horloge

- Une solution: utilisation de FIFOs asynchrones pour séparer les domaines
- En général offerts par les fabricants
- Une horloge pour l'entrée et une pour la sortie