

Journée FPGA

Technologie, outils et conception



11 septembre 2012

Aula de la HEIG-VD, Yverdon-les-Bains, VAUD

Cette journée est organisée par le groupe thématique du RCSO-ISYS « *Systèmes embarqués à haute performance* », groupe composé de professeurs et ingénieurs de Hautes Ecoles romandes.

Ces équipes de Ra&D réalisent chaque année de nombreux projets à base de FPGA. Au cours de cette journée, vous aurez l'opportunité d'assister à plusieurs présentations de leurs projets, de visiter une exposition de leurs réalisations récentes et de rencontrer les équipes de conception.

Avec la participation des Hautes Ecoles :



Les fabricants de composants programmables et d'outils EDA sont également associés à cet événement :



Inscriptions avant le 1^{er} septembre 2012 auprès de Mme Elena Mata
elena.mata@heig-vd.ch +41 24 557 62 89.

- Frais d'inscriptions : 180 CHF – repas et cafés inclus
- Etudiant-e-s : gratuité (hors repas)
- Personnel HES-SO : conditions spéciales (nous consulter)

Programme de la journée (Ce programme préliminaire est susceptible d'être modifié)

- Présentation de projets par les professeurs et collaborateurs des Hautes Ecoles
- Présentation des familles de composants programmables, de technologies et d'outils de développement par les fabricants
- Exposition de stands des Hautes Ecoles avec des démonstrations de réalisations exemplaires mettant en œuvre des FPGAs
- Exposition de stands de fabricants de FPGAs-CPLDs, et démonstrations d'outils EDA

	Salle principale : AULA Projets		Salle E03 Composants et outils
8h30	Accueil /café		
9h	Introduction		
9h30	Microphone directif pour enregistrement de séances	HES-SO Valais	Mentor
10h	Math2mat : génération automatique de VHDL synthétisable à partir de code Octave/Matlab	RCSO-ISYS	Altera
10h30	Pause-café		Pause-café
11h	MATES : détecteur et compteur d'impulsions pour spectromètre de masse.	EIA-FR	Matlab/Simulink (Mathworks)
11h30	Implémentation d'une radio OFDM dans l'environnement RECOMS	HEIG-VD	Xilinx
12h	Repas et visite exposition		Repas et visite exposition
14h	Workshop : Résolution de problèmes à l'aide d'une FPGA pour un encodeur H264 MPEG broadcast	HES-SO Valais	Xilinx
14h30			Matlab/Simulink (Mathworks)
15h	Pause-café		Pause-café
15h30	Interface pour bus de terrain EtherCAT	HES-SO Valais	Altera
16h	Qcrypt : liaison sécurisée à très haut débit (100Gb/s)	HEIG-VD	Circuit programmable hybride (SmartFusion) – HES-SO Valais
16h30	Hardware Execution Framework (HW-XF): OS orienté événement	HES-SO Valais	Mentor
17h	Conclusion		
17h30	Apéritif		

Résumé des différentes présentations de projets :

Microphone directif pour enregistrement de séances

HES-SO Valais

Microcone est un microphone intelligent destiné à l'enregistrement de conversations. Il utilise une matrice de 7 microphones qui captent les sons dans toutes les directions et transmet le signal à un PC par une simple liaison USB, chaque voix étant détectée, reconnue et enregistrée séparément sur son propre canal. <http://www.dev-audio.com/products/microcone/>

Math2mat :

HEIG-VD

Le calcul mathématique commence à pouvoir s'effectuer en virgule flottante sur FPGA. Dans ce cadre, le projet Math2mat a vu la réalisation d'un logiciel permettant de générer automatiquement une description VHDL synthétisable à partir de code Octave/Matlab. La structure générée est entièrement pipelinée afin d'offrir un débit maximum.

MATES.

EIA-FR

Il s'agit d'un détecteur et compteur d'impulsions de 0.5ns (Time to digital converter) pour un spectromètre de masse. Le système utilise le SERDES d'une FPGA pour échantillonner le signal entrant à une fréquence de 2GHZ. Ce signal est ensuite parallélisé par le SERDES en mots de 40 bits à une fréquence de 50MHZ pour comptage et traitement ultérieur. La temps de capture est de 64us. La capture est répétée 2**27 fois.

Implémentation d'une radio OFDM dans l'environnement RECOMS HEIG-VD

RECOMS (Reconfigurable Embedded Communication System) supporte pratiquement n'importe quel type de modulation radio. RECOMS se compose d' une plate-forme matérielle (front-end radio analogique, FPGA et processeur avec OS Linux) et d'un framework (driver, librairie Matlab/Simulink, API C/C++, et mécanisme de reconfiguration). A titre d'exemple, l'implémentation d'une radio OFDM de type 802.11a sera présentée.

Résolution de problèmes à l'aide d'une FPGA pour un encodeur H264 MPEG broadcast

HES-SO Valais / HEPIA

Ce workshop traitera de quatre problématiques résolues par le biais d'une FPGA dans le contexte du développement d'une carte d'encodage MPEG audio/vidéo destinée au marché broadcast télévisuel HD : - Flexibilité des processeurs reconfigurables pour réduire le time-to-market. - Update du système de manière dynamique.- Techniques de co-design pour le débogage.- Flexibilité du système d'IO pour les lignes à haute vitesse.

Interface pour bus de terrain EtherCAT***HES-SO Valais***

Ethernet for Control Automation Technology (EtherCAT) est un bus de terrain basé sur Ethernet et utilisé dans le domaine de l'automatisation. Un coeur IP donne accès à ce bus. Un circuit additionnel a été développé pour fournir un accès plus aisé pour un petit processeur ou un DSP.

Qcrypt***HEIG-VD***

L'objectif du projet QCrypt (Secure High-Speed Communication based on Quantum Key Distribution) est de réaliser une liaison sécurisée à très haut débit pour répondre au besoin de sécurité sur les réseaux public. L'échange de clé basé est basé sur les propriétés de la physique quantique et sont donc absolument sûr. D'autre part, le débit d'échange des informations cryptées devraient passer, durant ce projet, à 100Gb/s. Ce projet demande de maîtriser la complexité d'un design FPGA utilisant jusqu'à 30 liens série à 10Gigabits/sec.

Hardware Execution Framework (HW-XF)***HES-SO Valais***

Un execution framework (XF - cadre d'exécution) orienté évènements est un système d'exploitation très basique. Issu du monde logiciel et porté sur du matériel configurable, un XF matériel (hardware XF, HW-XF) permet de soulager le processeur des tâches de gestion des évènements tout en gardant la même interface vers l'application.

Circuit programmable hybride (SmartFusion)***HES-SO Valais***

Dans les nouveaux systèmes électroniques, de plus en plus de fonctions sont intégrées dans une puce. Les fournisseurs de FPGA proposent ainsi de nouveaux circuits programmables hybrides. Dépendant de l'utilisation, ces chips offrent des entrées/sorties numériques ou analogiques, des circuits numériques programmables et des processeurs hardcore ou softcore intégrés.

Accès à la HEIG-VD



En train

A la gare, prendre le bus no 601 jusqu'à l'arrêt "HEIG-VD". Les départs sont au 10, 30 et 50 de chaque heure dès 07h00 jusqu'à 19h30.

En voiture

Autoroute A1, sortie Yverdon-Sud, direction centre-ville, puis suivre la signalisation "HEIG-VD".

La HEIG-VD dispose d'un parking payant (CHF 2 , - / jour)

Adresse

Route de Cheseaux 1
CH-1401 Yverdon-les-Bains
+41 (0)24 557 63 30